PROPOSAL REPORT

EAGLE架构概述



CONTENTS
目录

01 架构总览

02 可编程逻辑

03 存储资源

04 时钟系统

05 运算与接口


PART
01
架构总览
PART

EAGLE架构总览



EAGLE架构组成

EAGLE系列FPGA由可编程逻辑块（PLB）、嵌入式存储器（BRAM）、数字信号处理模块（DSP）、输入输出逻辑单元（IOL）、时钟管理模块（PLL）和电源监控模块构成，提供强大的逻辑处理、数据存储、信号处理和接口能力。





PART

02

可编程逻辑

PART

PFB与SLICE结构

PFB核心单元

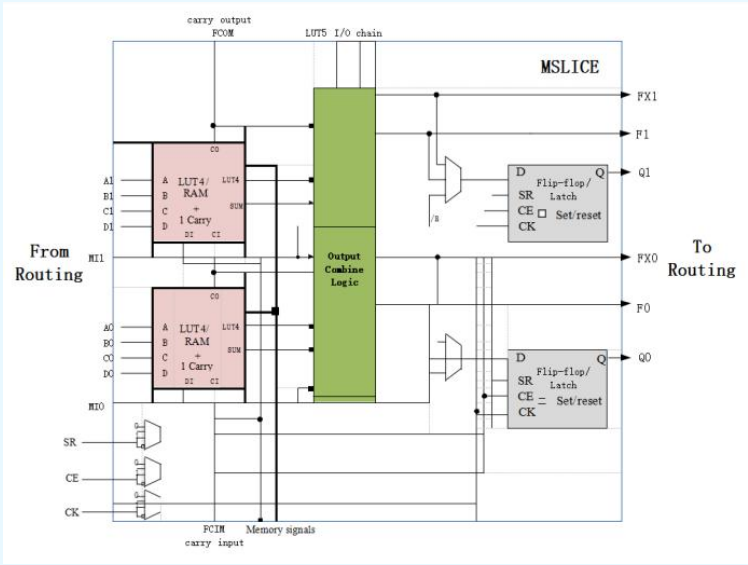
01

PFB是FPGA的核心可编程单元，包含4个SLICE，其中2个MSLICE和2个LSLICE，支持逻辑、算术、分布式RAM和ROM等多种功能，为复杂逻辑设计提供灵活的硬件基础。

MSLICE功能

02

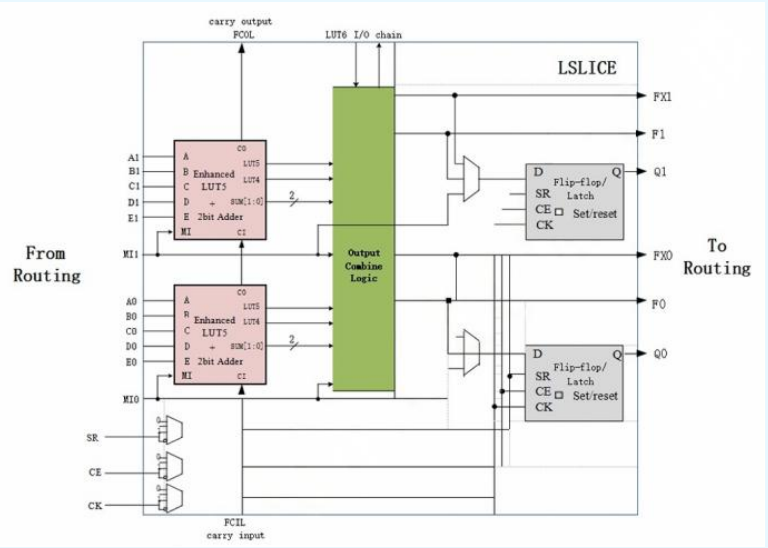
MSLICE支持逻辑、算术、分布式RAM和ROM功能，适用于需要存储和复杂计算的场景，能够灵活配置以满足不同设计需求。



LSLICE功能

03

LSLICE支持逻辑和算术功能，专注于高效处理简单逻辑和算术运算，为设计提供额外的灵活性和资源优化。





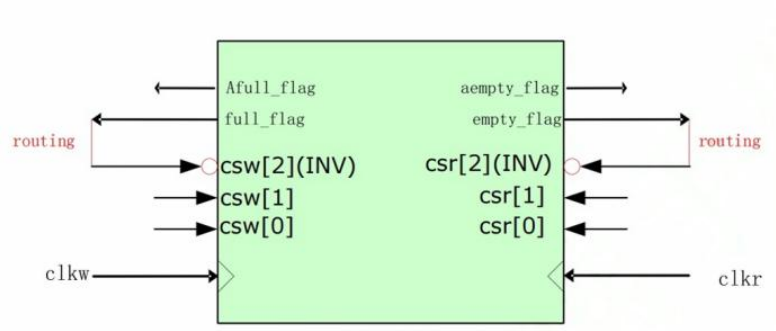
03

存储资源

BRAM9K与BRAM32K

BRAM9K特性

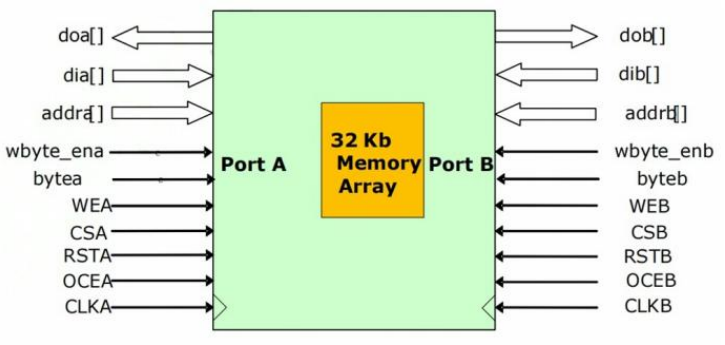
BRAM9K提供9Kbit容量，支持单口、双口RAM、FIFO和ROM等多种模式，适用于小容量、高性能存储需求，支持字节使能和读写混合模式。





BRAM32K特性

BRAM32K提供32Kbit容量，支持单口和双口RAM，适用于大容量数据存储，支持初始化文件配置，满足复杂应用需求。





PART

04

时钟系统

PART

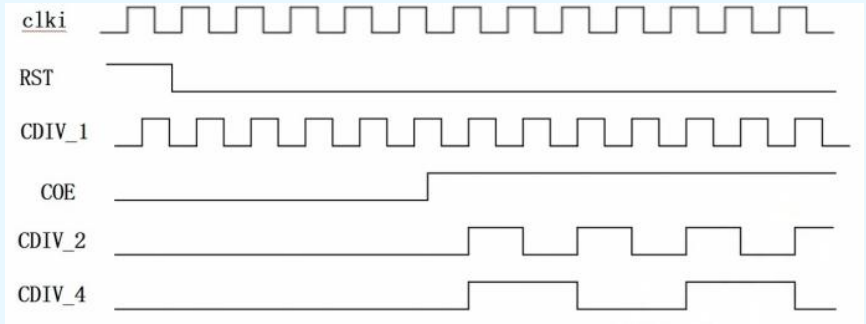
全局与I/O时钟资源

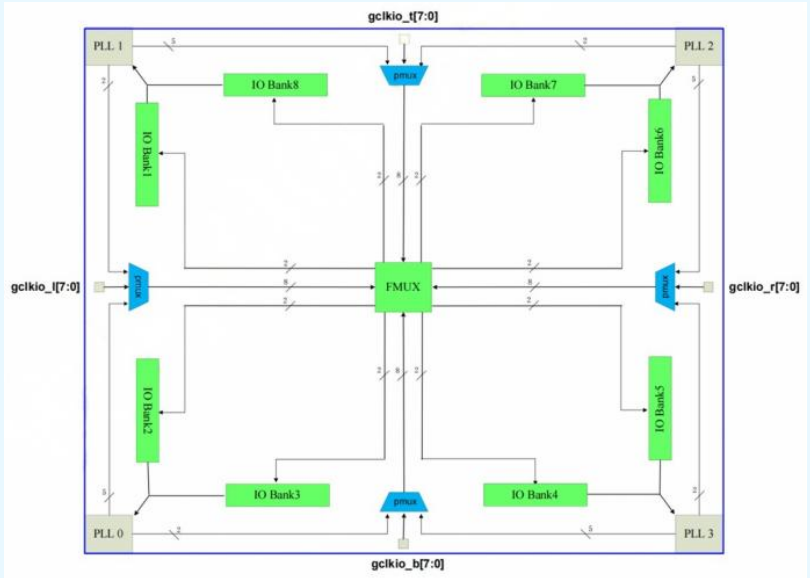
全局时钟（GCLK）

全局时钟GCLK具有低延迟和低偏斜特性，支持16个全局网络，为FPGA的核心逻辑提供稳定时钟，确保系统同步运行。

输入输出时钟（IOCLK）

输入输出时钟IOCLK专为高速接口设计，支持分频器，能够灵活配置以满足不同接口的时钟需求。



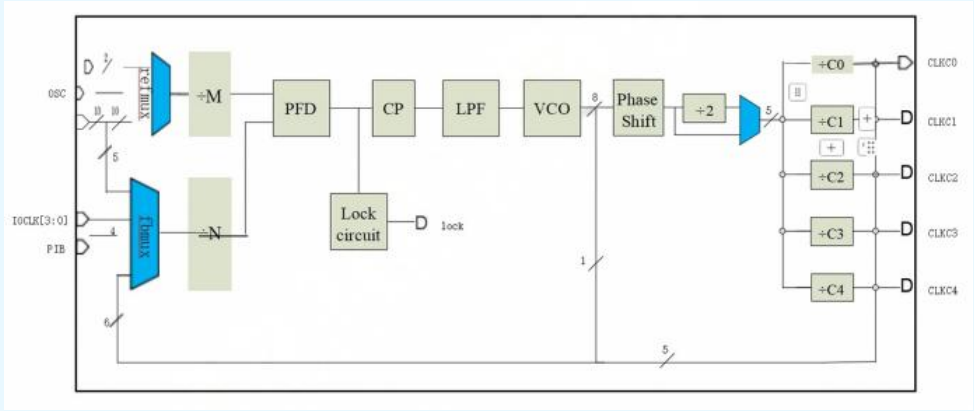


PLL功能与反馈模式



PLL功能

PLL支持动态相位调整、频率倍频和分频，最多支持4个PLL，为系统提供灵活的时钟管理能力，满足多种时钟需求。





反馈模式

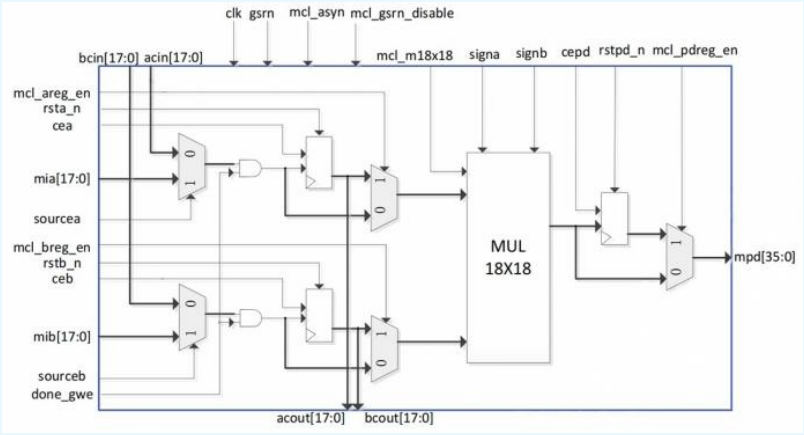
PLL提供源同步、零延迟、无补偿等多种反馈模式，适应不同应用场景，优化时钟性能和系统同步。

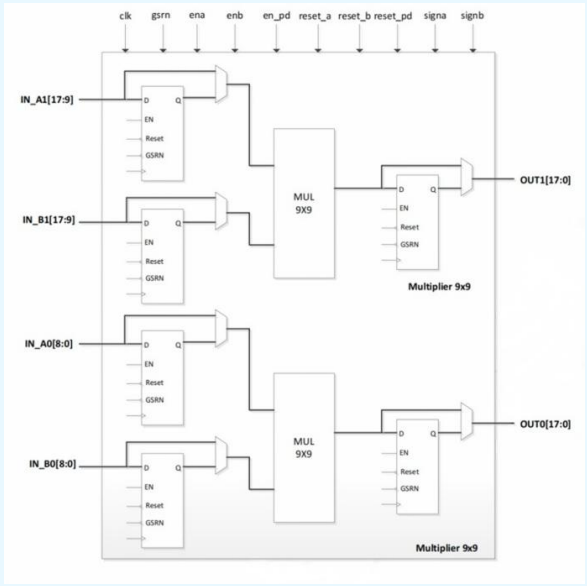


05

运算与接口

DSP乘法与级联





DSP乘法器

DSP模块支持18×18或两个9×9乘法器，可配置为有符号或无符号运算，适用于滤波、FFT等算法，提供高效的数字信号处理能力。

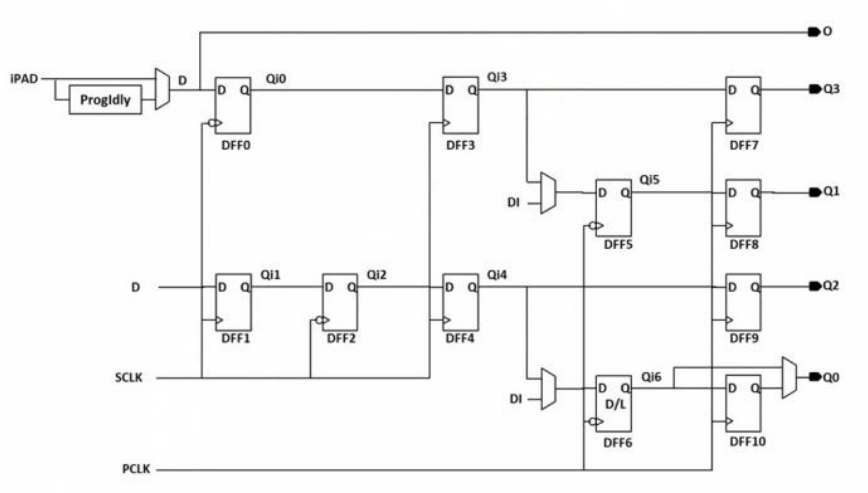
级联操作

DSP模块支持级联输入输出，能够形成更高位宽的运算链，满足复杂算法的需求，提升运算效率。

IOL高速接口模式

IOL模式

IOL支持普通、SDR、DDR等多种模式，内置可编程延时单元，能够灵活配置以满足高速接口的时序要求。



DDR时序

DDR模式支持iDDRx1、iDDRx2、oDDRx1、oDDRx2等多种时序，提供高速数据传输能力，适用于高速通信场景。



IOB电平标准与5V兼容

电平标准

IOB支持LVDS、LVCMOS、HSTL、SSTL等多种单端和差分电平标准，满足不同接口的电气要求。

5V兼容

IOB支持5V兼容输入，需外接电阻，为与传统5V系统兼容提供便利，确保系统间的无缝连接。



PART

06

配置与安全

PART

电源监控与配置模式



电源监控

内置电源监控模块实时检测电源异常，确保系统稳定运行，避免因电源问题导致的系统故障。

配置模式

支持MSPI、JTAG、从动串行、主动并行等多种配置模式，提供灵活的配置方式，满足不同开发需求。



PART

07

模拟资源

PART



内嵌ADC采样系统

ADC特性

内嵌8通道12位ADC，采样率1MSPS，提供高精度模拟信号采集能力，满足多种传感器接口需求。

模拟电源

ADC配备独立模拟电源VDDA、VSSA、VREF，确保采样精度，通道与用户I/O复用，提高资源利用率。

THANK YOU

感谢大家观看

