PROPOSAL REPORT

分频电路的设计与仿真验证



CONTENTS

目录 CONTENTS

01 分频原理

02 偶数分频实现

03 奇数分频实现

04 结果对比与总结


PART
01
分频原理
PART

分频电路核心概念

分频电路定义

分频电路是数字电路中用于将高频时钟信号转换为低频时钟信号的模块。它通过分割高频信号的周期，生成所需的低频信号，广泛应用于各类电子设备中。

分频类型

分频电路分为偶数分频和奇数分频。偶数分频容易实现50%占空比，而奇数分频需要同时利用时钟的上升沿和下降沿来合成50%占空比的信号。



PART

02

偶数分频实现

PART

6分频设计思路

计数器设计

设计一个从0到2循环的计数器，每计数一次代表一个输入时钟周期。当计数器达到2时，输出时钟翻转，实现6分频。

占空比控制

通过计数器在(N-2)/2处翻转输出时钟，保证输出信号的高电平和低电平各占3个输入周期，从而实现50%占空比。

时钟上升沿触发

计数器在时钟的上升沿递增，确保输出时钟的翻转与输入时钟同步，实现稳定的6分频输出。



6分频Verilog代码

代码实现

使用Verilog语言实现6分频电路，包含计数器和输出寄存器。复位时清零，计数到2翻转输出时钟，代码简洁高效。

6分频仿真平台

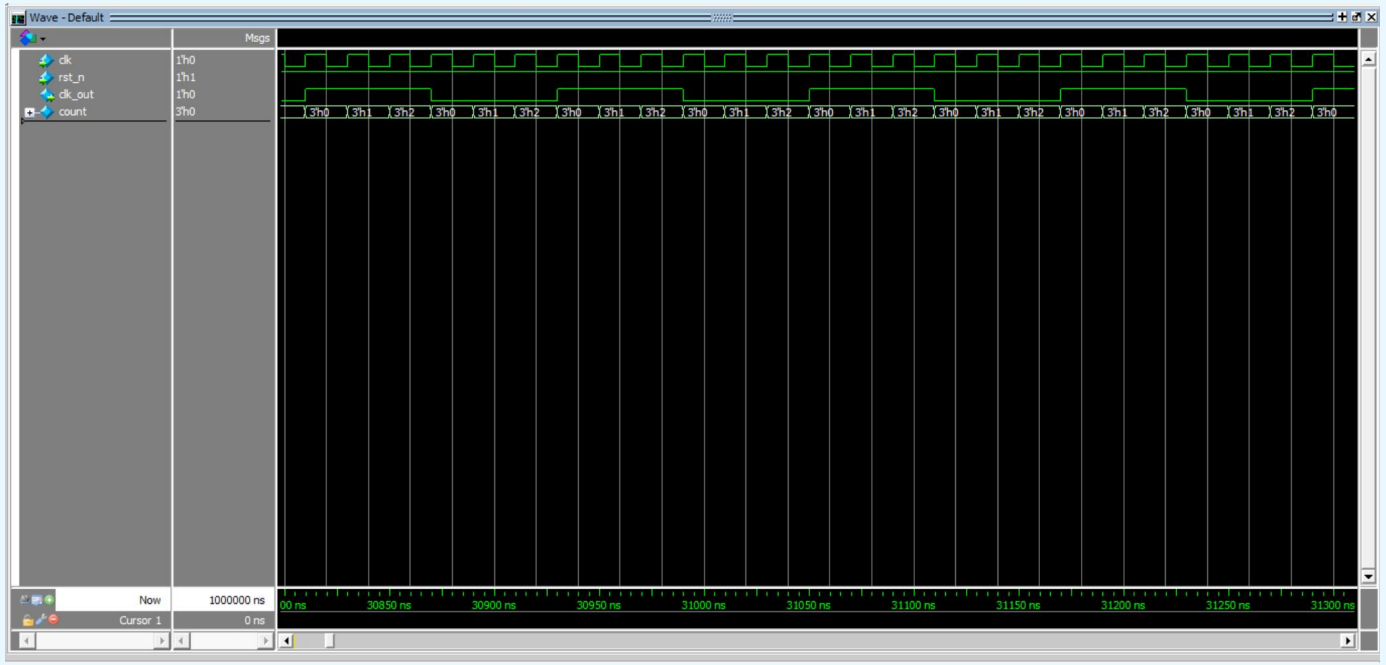


仿真环境搭建

在ModelSim中搭建仿真环境，生成20ns周期的时钟信号和异步复位信号，验证6分频电路的功能。

波形分析

仿真波形显示计数器从0到2循环，输出时钟每6个输入周期翻转一次，验证了设计的正确性和占空比精度。



PART

03

奇数分频实现

PART

5分频设计思路

双信号生成

生成两个相位差半周期的中间信号clk_pos和clk_neg，分别在时钟的上升沿和下降沿触发，实现5分频。

占空比调整

通过调整两个中间信号的占空比，使其相与后得到50%占空比的输出时钟，满足设计要求。

逻辑合成

利用逻辑与运算合成最终的5分频时钟信号，确保输出信号的稳定性和准确性。



5分频Verilog代码

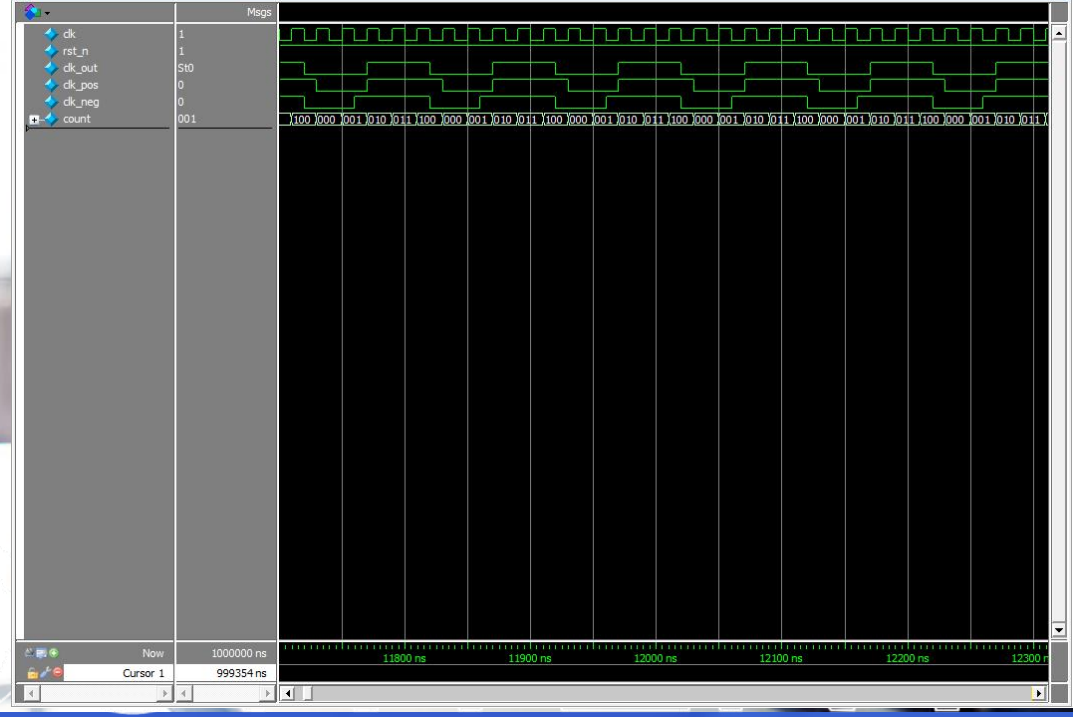


代码实现

使用Verilog语言实现5分频电路，包含计数器和两个寄存器clk_pos、clk_neg，通过逻辑与运算生成最终输出。

5分频仿真平台





仿真环境搭建

在ModelSim中搭建仿真环境，生成20ns周期的时钟信号和异步复位信号，验证5分频电路的功能。

波形分析

仿真波形显示两个中间信号的相位差和占空比，以及最终合成的50%占空比的5分频时钟信号。



PART

04

结果对比与总结

PART



偶数与奇数波形对比

波形特点

偶数分频输出时钟严格对齐输入时钟上升沿，实现简单；奇数分频波形更复杂，需双沿触发和逻辑合成。

占空比精度

两种分频方案均能满足50%占空比的要求，偶数分频资源占用更少，奇数分频通用性更强。

关键实现要点回顾

偶数分频要点

偶数分频核心在于计数到(N-2)/2翻转输出，代码简洁，资源占用少，适用于大多数偶数分频场景。

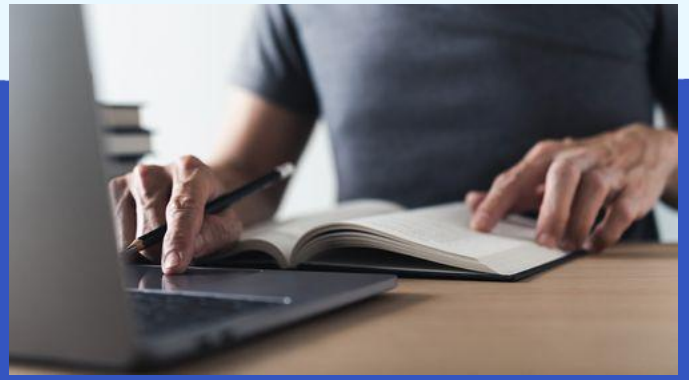
奇数分频要点

奇数分频需同步利用上升沿与下降沿，通过双寄存器与逻辑运算合成50%占空比，适用于任意奇数分频。

通用技巧

掌握计数器长度计算、翻转条件设置及相位控制，可快速扩展至任意分频系数，满足不同工程需求。







THANK YOU

感谢大家观看

