PROPOSAL REPORT

IP核-PLL锁相环



CONTENTS

目录

CONTENTS

01 IP核与PLL基础

02 创建与配置

03 实例化与仿真

04 接口与总结


PART
01
IP核与PLL基础
PART

IP核概念与PLL定位

IP核定义

IP核是预先设计并验证的功能模块，用于简化FPGA设计流程，提高开发效率。

IP核的三个层次

IP核分为软核、硬核和固核。软核以HDL描述，灵活性最高；硬核为物理版图，性能最优；固核介于两者之间，兼顾速度与可移植性。

PLL的作用

PLL是一种常见的IP核，用于时钟管理，通过锁相环技术实现倍频、分频与相位调整，是构建多时钟域系统的关键组件。

PLL的重要性

PLL在FPGA设计中至关重要，它能够生成稳定且精确的时钟信号，确保系统在不同工作频率下的同步和稳定性。

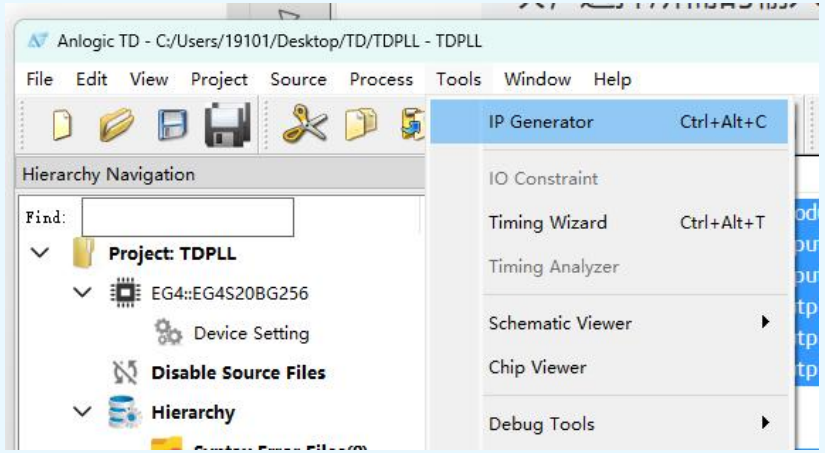



PART
02
创建与配置
PART

PLL IP核创建流程

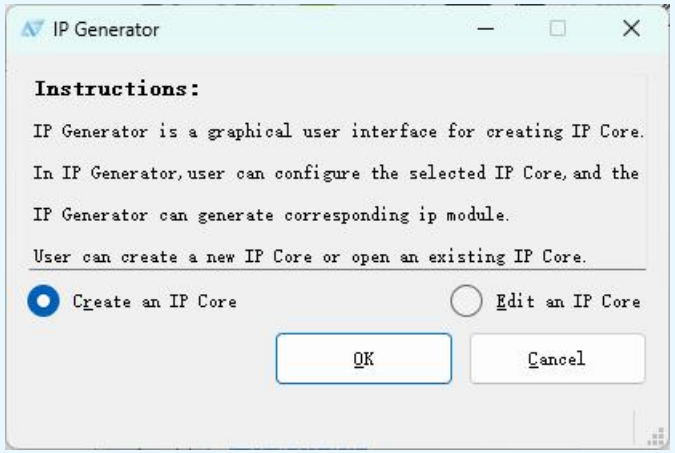
打开IP Generator

通过Tools → IP Generator进入向导，开始创建PLL IP核。



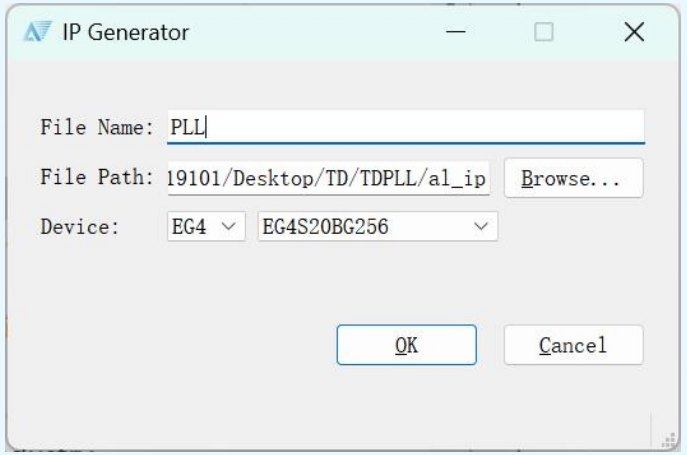
命名与选择型号

在IP Generator中，命名IP核并选择目标FPGA型号，确保与项目硬件一致。



选择PLL模块

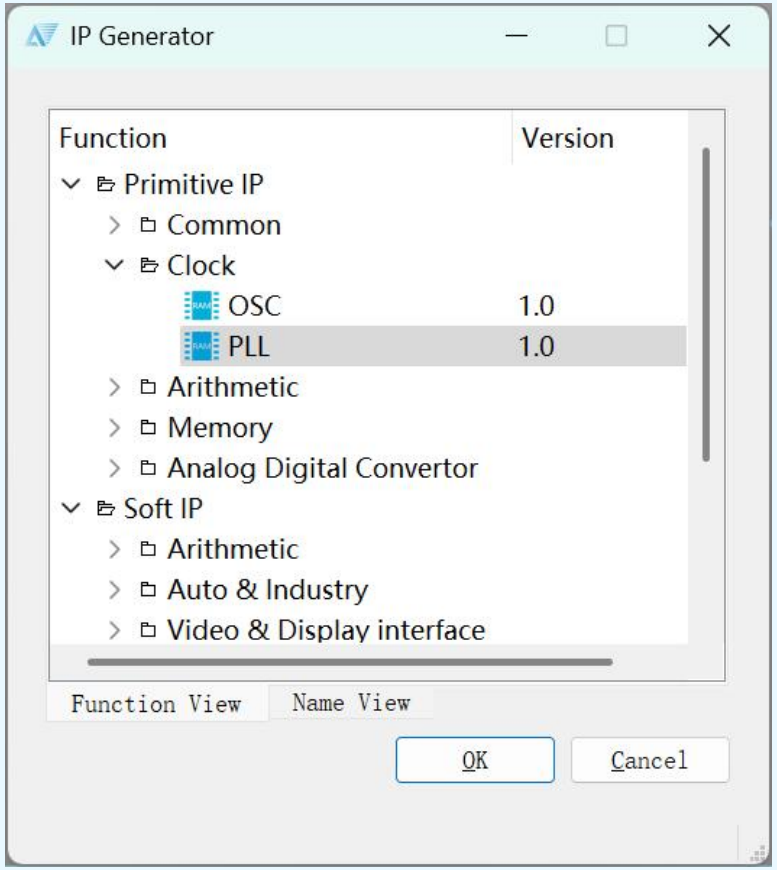
在IP列表中选择PLL模块，进入配置界面，为下一步详细配置做好准备。



PLL工作模式解析

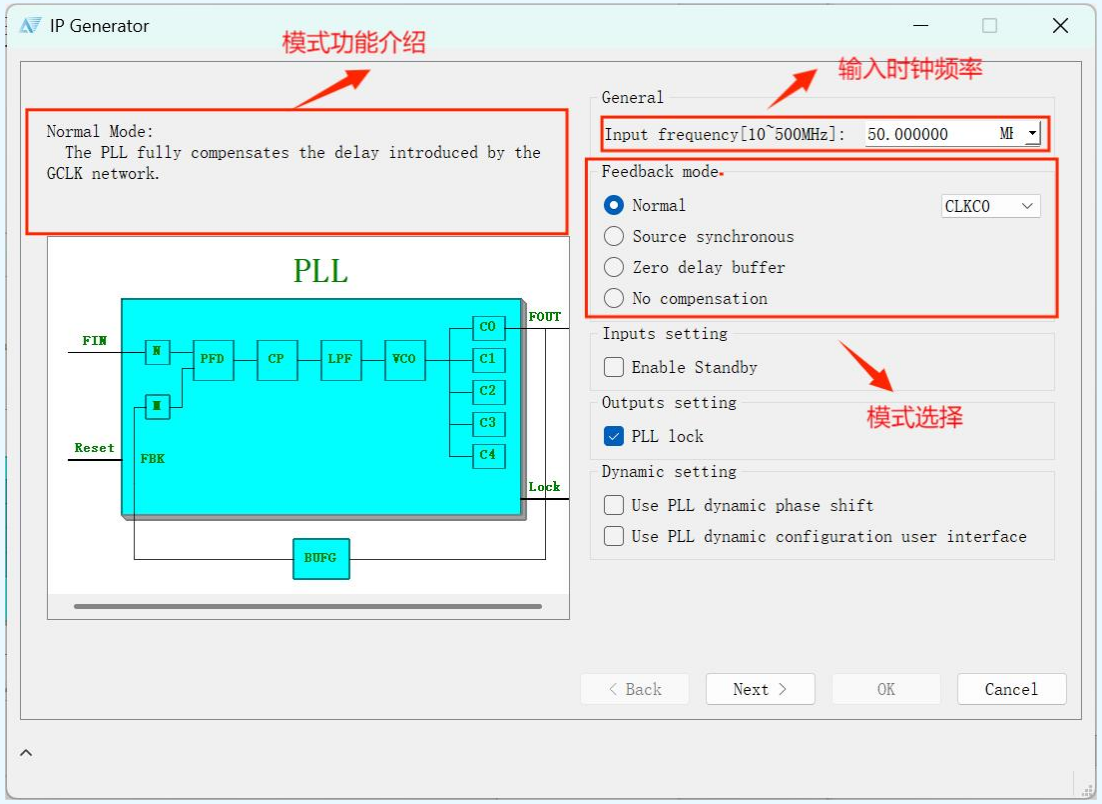
标准模式

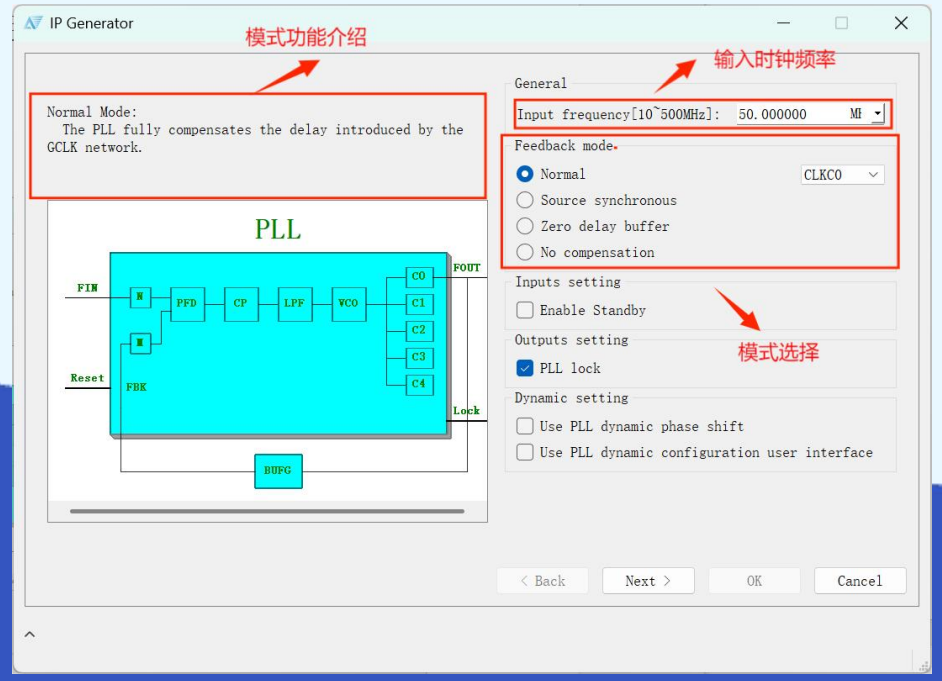
标准模式适用于常规时钟生成，配置简单，适合大多数应用场景。



其他模式

源同步模式用于高速接口，零延时缓冲模式适合多芯片同步，无补偿模式适用于低功耗简单系统。

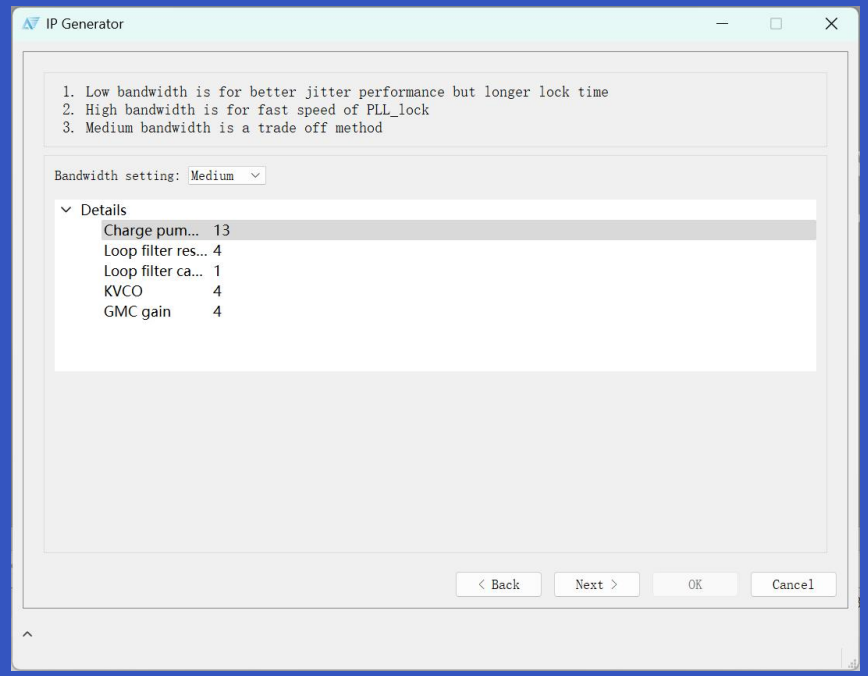


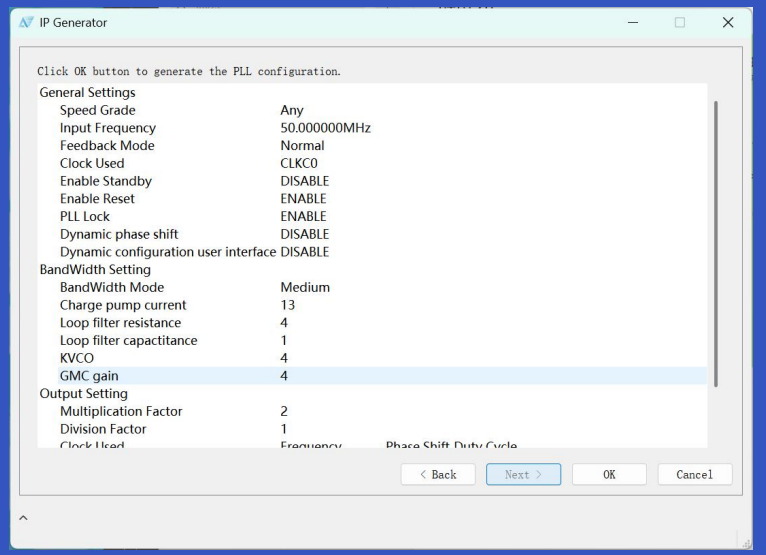


双时钟输出配置

配置输出时钟

在PLL中配置生成100 MHz和25 MHz两路时钟，满足多时钟域系统的需求。







PART

03

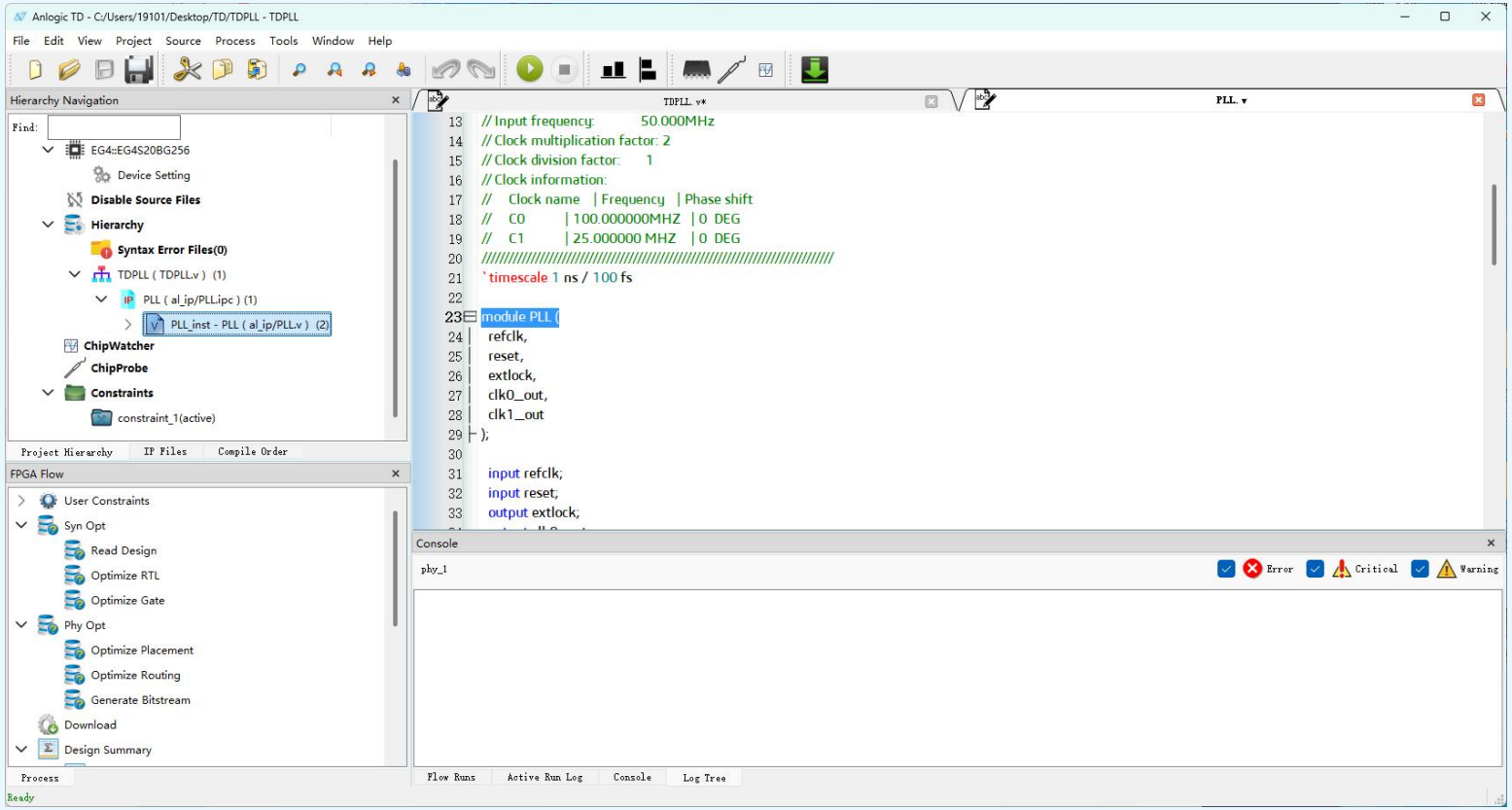
实例化与仿真

PART

PLL模块实例化方法

实例化PLL模块

在Verilog中调用PLL IP核，连接 clk 、 rst 、 extlock 、 clk0_out、clk1_out等信号，确保端口匹配与命名一致。



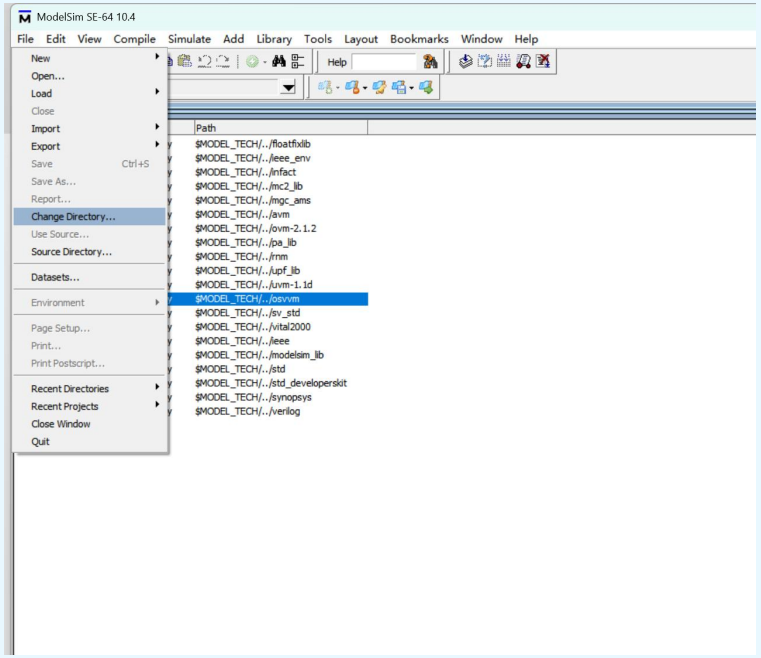
ModelSim仿真环境

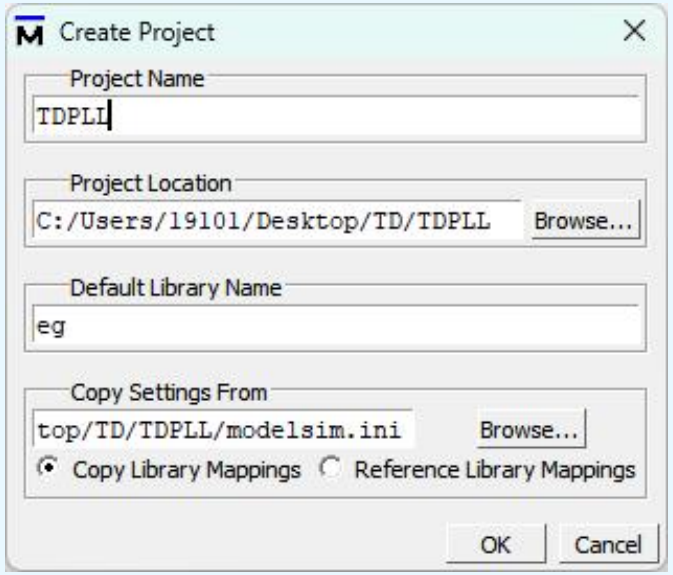
创建仿真环境

在ModelSim中创建新库，编译PLL模型及testbench，搭建完整的仿真环境。

设置仿真参数

添加波形信号，设置仿真时间2000 ns，确保仿真结果准确可靠。





仿真波形与锁定检测



观察波形

在仿真波形中观察extlock信号，确认PLL锁定状态。



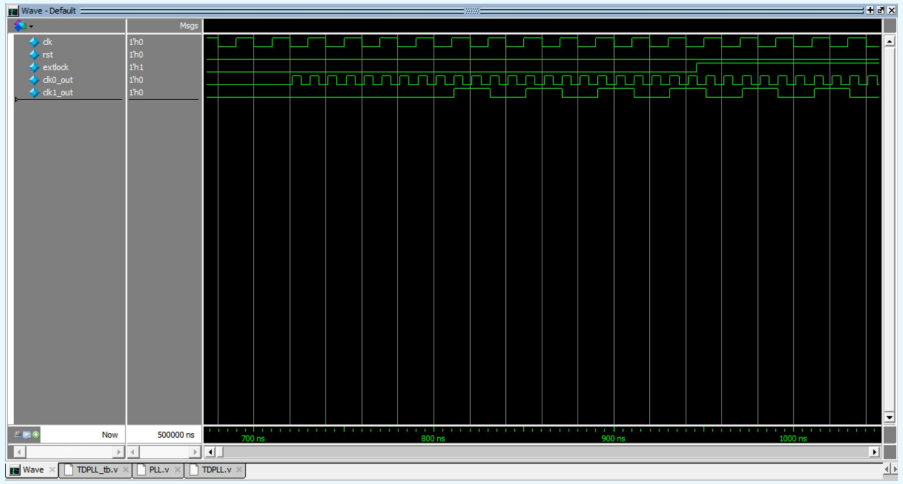
验证时钟输出

验证clk0_out和clk1_out输出稳定时钟，确保时钟倍频、分频功能正常。



分析结果

通过波形分析，确认PLL功能符合预期，为后续设计提供信心。




PART
04
接口与总结
PART



PLL端口功能说明

输入端口

PLL的输入端包括clk（参考时钟）与rst（高有效复位），为PLL提供基准时钟和复位信号。

输出端口

PLL的输出端包括extlock（锁定指示，高电平表示锁定完成）、clk0_out（100 MHz时钟）、clk1_out（25 MHz时钟），为系统提供稳定的时钟信号。

PLL应用与验证总结



PLL的应用价值

PLL IP核可实现时钟倍频、分频、相位调整，适用于多时钟域系统、高速数据传输，通过仿真验证确保功能正确，为系统级调试奠定基础。

THANK YOU

感谢大家观看

