PROPOSAL REPORT

UART



CONTENTS

目录 CONTENTS

01 UART协议基础

02 发送端设计

03 接收端设计

04 全双工实战



01

UART协议基础

UART协议核心要素

异步通信

UART采用异步串行通信方式，发送端和接收端无需共享时钟。发送端在数据发送时添加起始位和停止位，接收端通过检测起始位来同步数据，从而实现数据的准确接收。这种方式减少了通信线路的需求，简化了硬件设计。

帧结构

UART帧结构包括起始位（低电平）、8位数据位和停止位（高电平）。起始位用于触发接收端的采样，数据位按位发送，停止位用于标识数据结束。这种结构简单明了，易于实现和解析。

全双工通信

UART支持全双工通信，仅需两根线（TX和RX）即可实现数据的双向传输。发送端通过TX线发送数据，接收端通过RX线接收数据，两者互不干扰，提高了通信效率，适用于多种应用场景。

关键参数

UART通信的关键参数包括波特率、数据位、停止位和校验位。波特率决定了数据传输的速度，数据位决定了每次传输的数据量，停止位用于标识数据结束，校验位用于提高通信的可靠性。



PART

02

发送端设计

PART

发送状态机与位序控制



输入输出

发送端模块的输入包括时钟信号clk、复位信号rst_n、发送使能信号new以及待发送数据data_tx。输出为发送线tx和发送状态state。这些信号共同控制数据的发送过程。



内部计数器

内部计数器cnt用于控制发送的位序。每当发送一位数据时，计数器递增，直到发送完所有位。计数器的值决定了当前发送的是起始位、数据位还是停止位。



状态机控制

发送状态机根据计数器的值和输入信号控制发送流程。在起始位阶段，状态机将tx置为低电平；在数据位阶段，逐位发送数据；在停止位阶段，将tx置为高电平。状态机确保数据按正确的顺序发送。

波特率分频器实现

分频需求

在50MHz系统时钟下生成9600bps的波特率，需要计算分频系数N。通过公式N = 50,000,000 / 9600 ≈ 5208，可以得到所需的分频系数。分频器将系统时钟分频后生成bps_clk，用于控制数据发送的速率。

分频器设计

分频器采用计数器实现偶分频。计数器从零开始累加，当达到N-1时归零并翻转bps_clk。bps_clk的周期即为一位的时间，确保数据在每个位周期内正确发送。分频器独立成模块，便于复用到其他波特率。



发送仿真验证

仿真验证

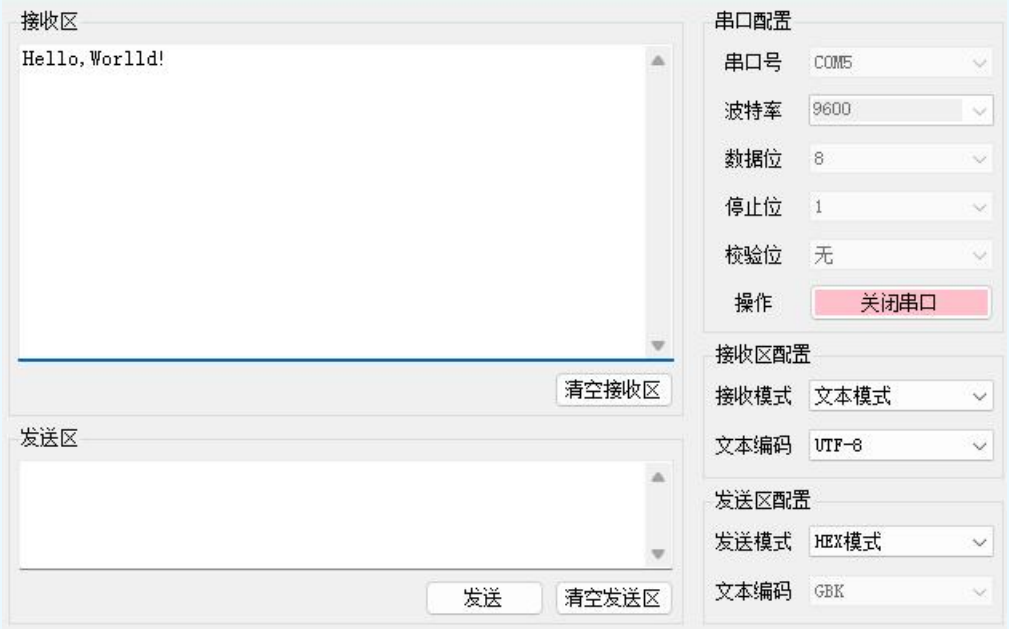
通过ModelSim仿真验证发送模块的功能。Testbench模拟发送数据，观察tx波形是否符合UART帧结构。仿真结果表明，起始位、数据位和停止位均按预期发送，状态机与数据发送同步，验证了发送模块的正确性。



Hello World实战发送

实战发送

将ASCII字符串“Hello,World!”逐字符发送。FPGA端使用case语句将字符放入帧格式，通过new信号启动发送。PC端串口助手以9600bps接收并显示原文，验证了发送模块在实际应用中的稳定性。





PART

03

接收端设计

PART

接收采样与亚稳态消除



输入输出

接收端模块的输入包括时钟信号clk、复位信号rst_n和接收线rx。输出为接收数据date和接收完成标志done。这些信号共同控制数据的接收过程。



亚稳态消除

为解决异步采样带来的亚稳态问题，对接收线rx进行三拍同步。通过检测rx的下降沿确认起始位，随后在bps_clk的控制下逐位接收数据，有效抑制了抖动和亚稳态，保证了数据的完整性。



接收仿真与数据校验

仿真验证

通过testbench内部task模拟发送数据，验证接收模块的正确性。仿真观察done信号和date数据，结果表明接收模块能够准确接收数据，无时序异常，验证了接收模块的稳定性。





PART

04

全双工实战

PART

回声测试与全双工验证



全双工验证

实现PC-FPGA-PC的闭环回声测试，验证UART全双工能力。FPGA将接收数据原样返回，PC端串口助手显示发送数据。实验覆盖多种场景，结果表明发送与接收模块可并行工作，系统具备实际应用价值。



THANK YOU

感谢大家观看

