EDA技术

第7章 MCU与FPGA片上系统开发



《EDA技术实用教程——Verilog HDL版》（第七版）配套课件）

EDA Lab

内容提要

- FPGA扩展MCU开发技术
- 基于单片机核的FPGA片上系统设计

HANGZHOU DIANZI UNIVERSITY 1956

EDA Lab

7.1 FPGA扩展MCU开发技术

基于 FPGA 扩展方案的单片机应用技术可以通过两种途径来实现:(1)一种是如图7-1所示那样，FPGA作为一个扩展模块直接与普通单片机接口，单片机通过FPGA间接控制专用器件或直接利用其实现特定功能。

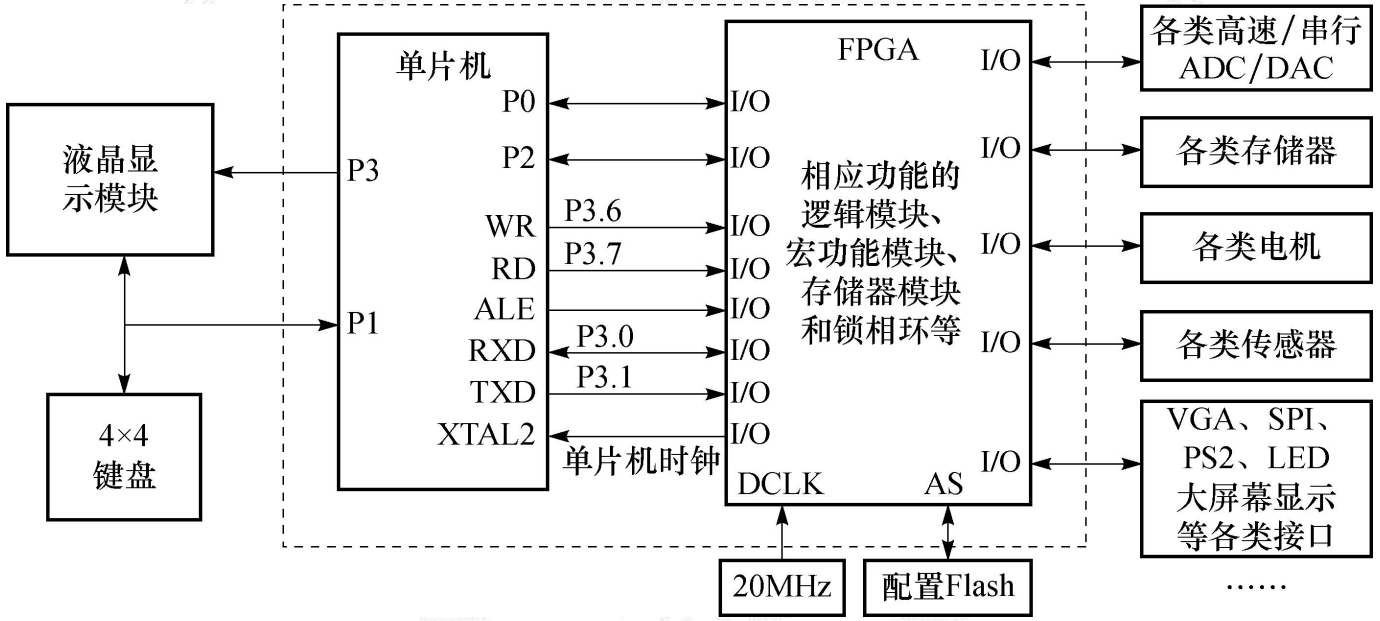


图7-1 FPGA与单片机的扩展系统设计模型图

7.1 FPGA扩展MCU开发技术

7.1.1 FPGA扩展方案及其系统设计技术

对于51系列单片机，图7-1的接口示意图是一个比较典型、实用和具有一般意义的电路模型。这个电路的特点是，除了显示和键盘，单片机不与其他任何控制目标或专用模块相接口，单片机的所有控制和功能实现的任务都通过FPGA间接完成。

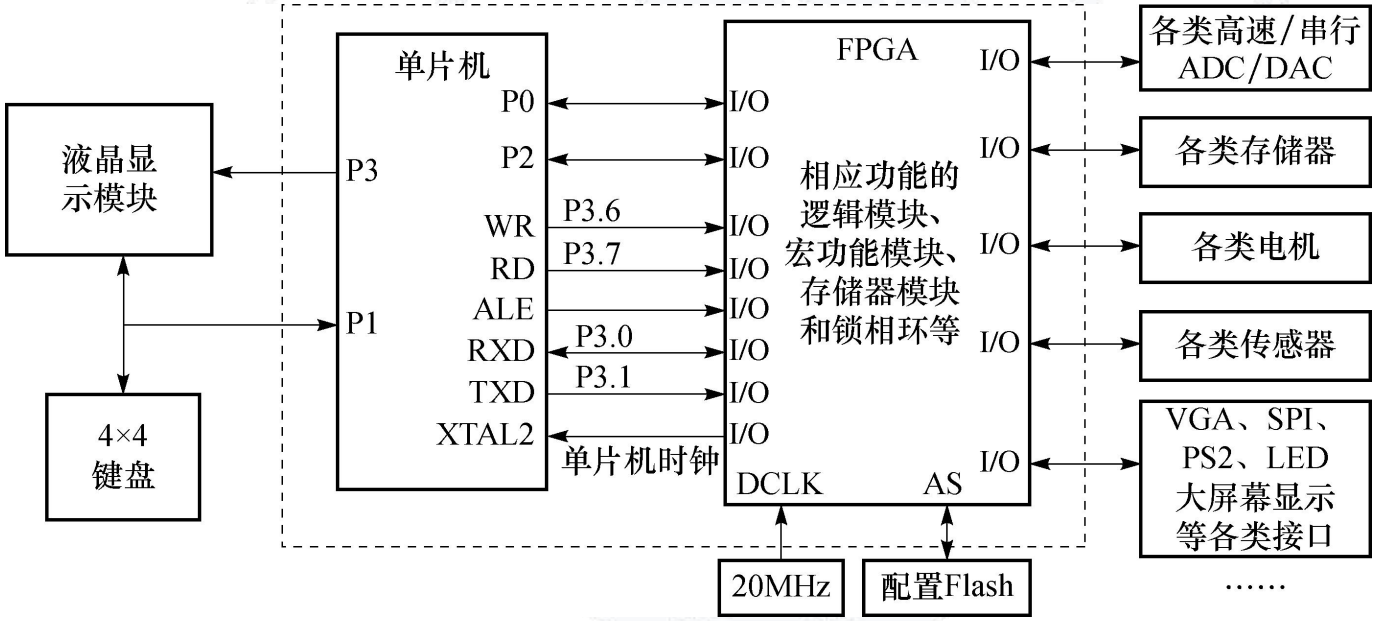


图7-1 FPGA与单片机的扩展系统设计模型图

7.1 FPGA扩展MCU开发技术

7.1.2 基于单片机IP软核的SOC设计方案

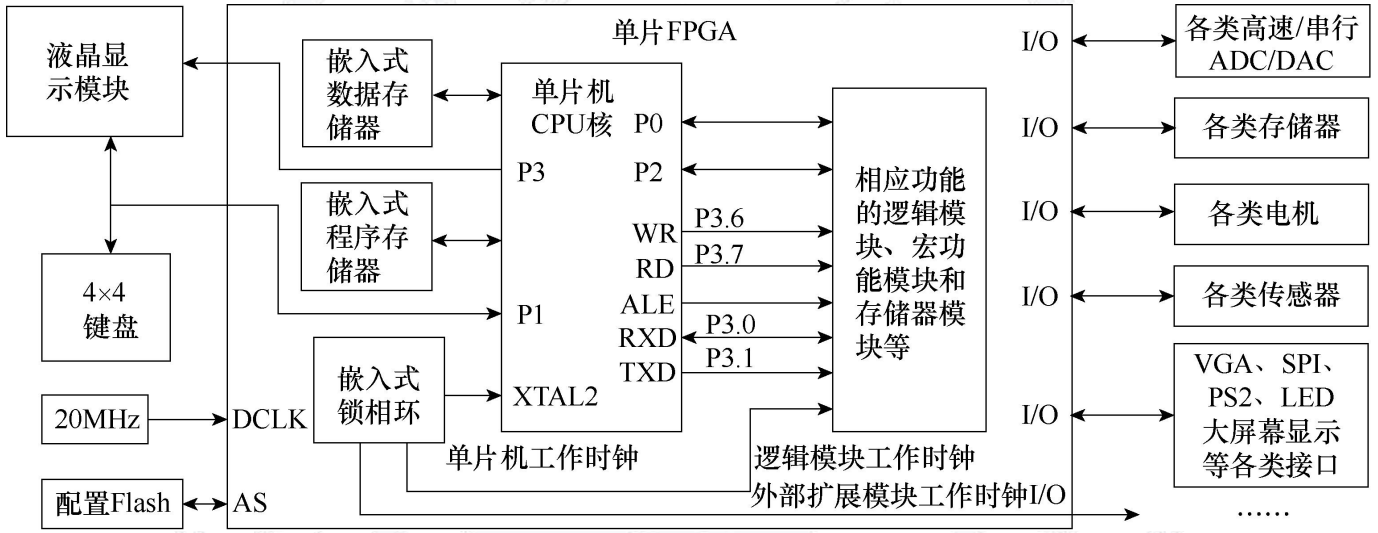


图7-2 单片FPGA的SOC系统模块图

相对于普通的单片机系统，也包括图 7-1所示的系统，即使诸如图7-2 所示的简单的片上系统也具备许多明显的优势。

7.2 基于单片机核的FPGA片上系统设计

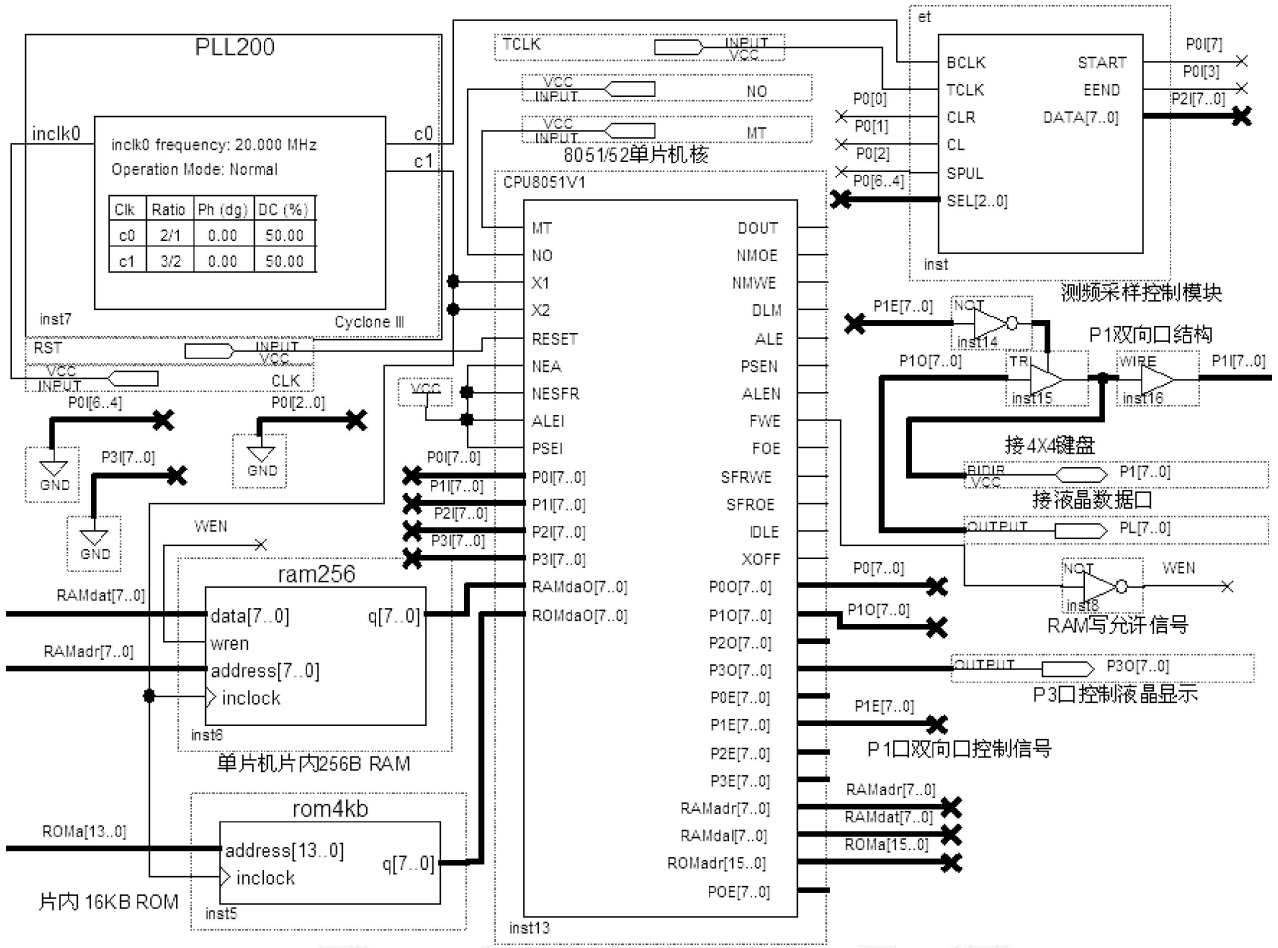


图7-3 单片机核扩展了测频测脉宽控制脉宽的FPGA片上系统电路图

7.2 基于单片机核的FPGA片上系统设计

```
ULTI_CRT_EXPT\MCU_51CORE_SC
;串进并出/并进串出控制程序
    RS      EQU     P3.2
    RW      EQU     P3.3
    E       EQU     P3.4
    DAT     EQU     30H
    DAT1    EQU     31H

     ORG     0000H
     MOV     SP,#60H
     MOV     DAT,#01H
     LCALL   ENABLE
     LCALL   DISP3
     MOV     DAT,#01H
     LCALL   ENABLE

   MOV     A,#4BH
   MOV     B,#80H
   LCALL   DISP2
   MOV     A,#34H
   MOV     B,#81H          ;
   LCALL   DISP2
   MOV     A,#33H
   MOV     B,#82H
```

图7-4 汇编程序

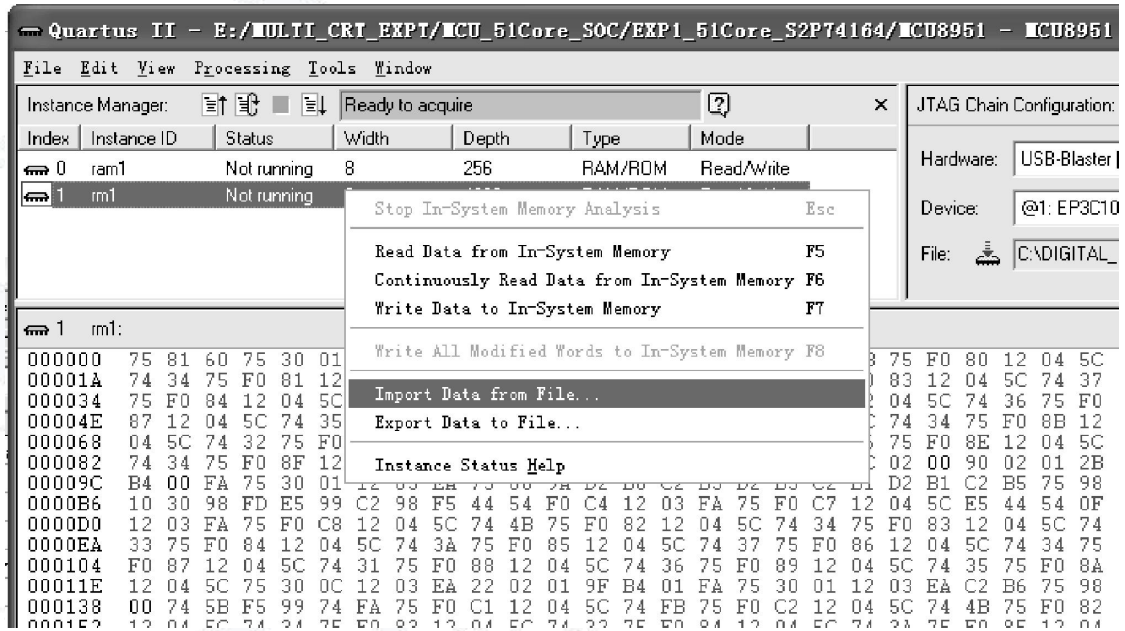


图7-5 用In-System Memory Content Editor下载汇编程序代码

单片机程序的编写可以用汇编语言，也可用C，使用Keilfor Cs1进行编辑编译与模拟调试。此文件可以以初始化文件的形式在图7-3电路整体综合前就配置于程序 ROM 中，也可利用Quartus 的 In-System Memory Content Editor 工具现场载人，这可以达到快速调试的目的。

7.1 脉宽/占空比/等精度频率多功能测试仪设计

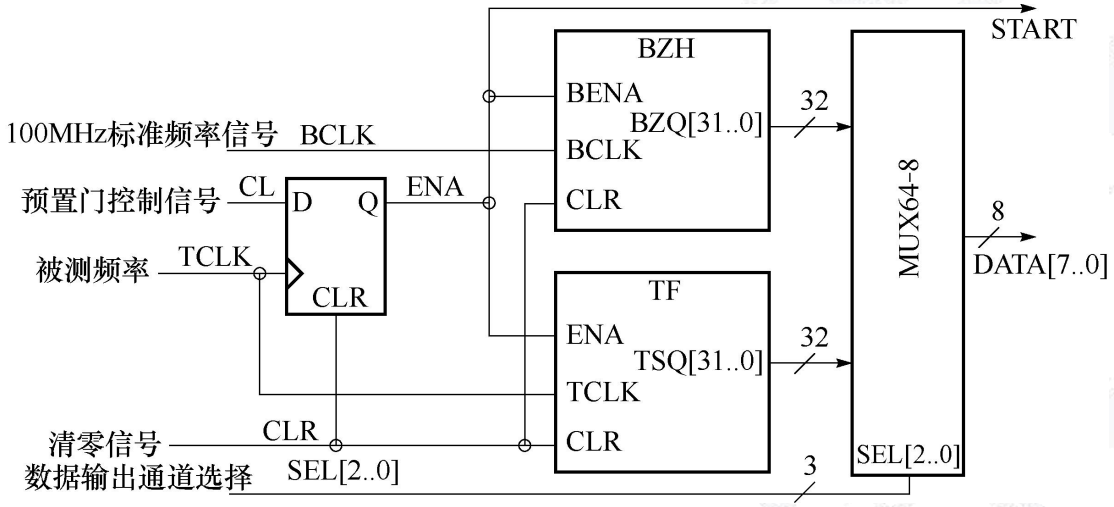


图7-6 等精度频率计主控结构

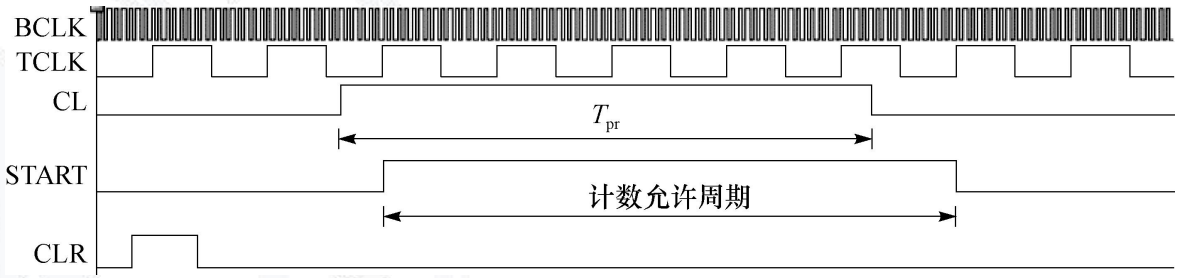


图7-7 频率计测控时序

实验与设计

【例7-1】

```
module et (BCLK, TCLK, CLR, CL, SPUL, START, EEND, SEL, DATA);
  input BCLK, TCLK, CLR,  CL, SPUL;  input[2:0] SEL;
  output START, EEND;
  output[7:0] DATA ;
  reg[31:0] BZQ , TSQ ;   reg ENA ;
  wire PUL;
  wire MA, EEND, START, BENA;
  wire CLK1, CLK2, CLK3;
  reg Q1, Q2, Q3;  wire[1:0] SS;
  always @(posedge BCLK or posedge CLR)      begin    // 标准频率测试计数器
                        if ( CLR==1'b1)    BZQ<={32{1'b0}} ;
          else  if (BENA==1'b1)     BZQ<=BZQ+1 ; end
        always @(posedge TCLK or posedge CLR )          begin : TF
                         if (CLR==1'b1)    TSQ<={32{1'b0}} ;
           else  if (ENA==1'b1)            TSQ<=TSQ+1 ; end
        always @(posedge TCLK or posedge CLR)
                  if (CLR==1'b1)           ENA<=1'b0;  else  ENA<=CL ;
        always @(posedge CLK1 or posedge CLR)
                               if (CLR==1'b1)  Q1<=1'b0;         else  Q1<=1'b1 ;
        always @(posedge CLK2 or posedge CLR)
                              if (CLR==1'b1)        Q2<=1'b0 ; else  Q2<=1'b1 ;
        always @(posedge CLK3 or posedge CLR)
                              if (CLR==1'b1) Q3<=1'b0 ;          else  Q3<=1'b1 ;
assign MA = (TCLK & CL)|~(TCLK | CL) ;                  // 测脉宽逻辑
        assign CLK1 = ~MA ;                  assign CLK2 = MA & Q1 ;
        assign CLK3 = ~CLK2 ;    assign SS = {Q2, Q3} ;
        assign PUL=(SS==2'b10) ? 1'b1 : 1'b0; //  EEND为低电平时，表示正在计数，
        assign EEND = (SS == 2'b11) ? 1'b1 : 1'b0 ;
        assign BENA = (SPUL == 1'b1) ? ENA : (SPUL == 1'b0) ? PUL : PUL ;
        assign START = ENA ;
        assign DATA=(SEL==3'b000) ? BZQ[7:0]  : (SEL==3'b001) ? BZQ[15:8] :
                           (SEL==3'b010) ? BZQ[23:16]: (SEL==3'b011) ? BZQ[31:24]:
                           (SEL==3'b100) ? TSQ[7:0]  : (SEL==3'b101) ? TSQ[15:8] :
                           (SEL==3'b110) ? TSQ[23:16]: (SEL==3'b111) ? TSQ[31:24]:
                             TSQ[31:24] ;
 endmodule
```

根据图7-3、例7-1与单片机核的接口方式，以及单片机对et模块的控制方式如下：

$$占空比=\frac{N_1}{N_1+N_2}\times 100\%$$

实验与设计

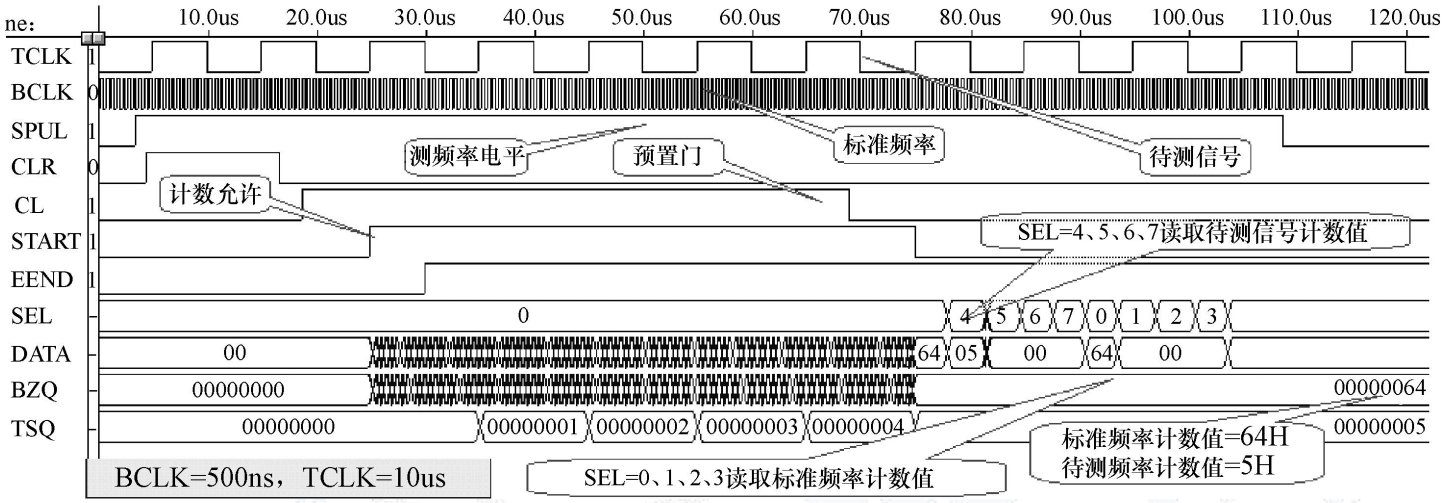


图7-8 等精度频率计测频时序图

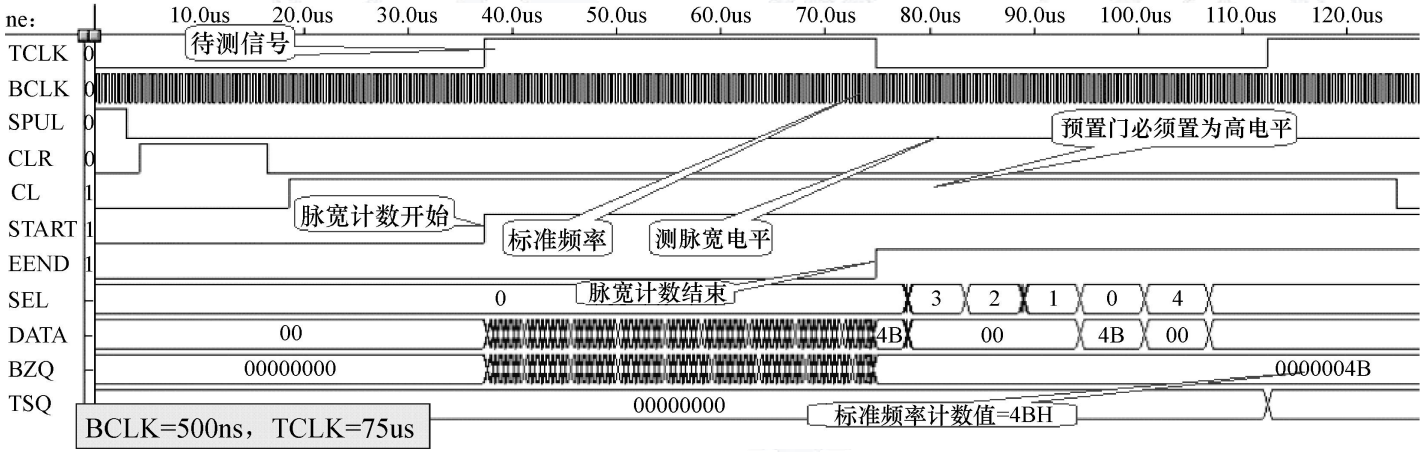


图7-9 等精度频率计测脉宽时序图