EDA技术

第4章 时序仿真与硬件实现



《EDA技术实用教程——Verilog HDL版》
（第七版）
配套课件

EDA Lab

4.1 Verilog程序输入和编译

4.1.1 编辑和输入设计文件

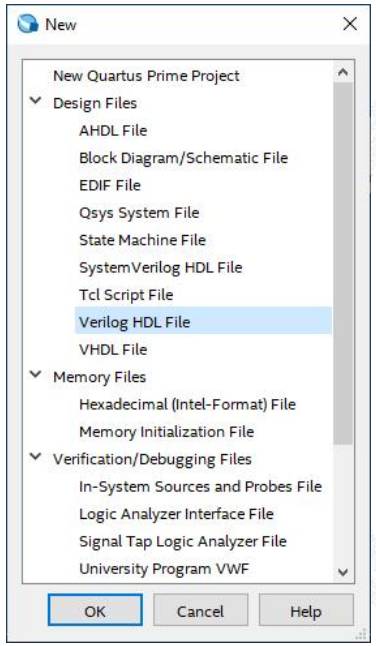


图4-1 选择编辑文件类型

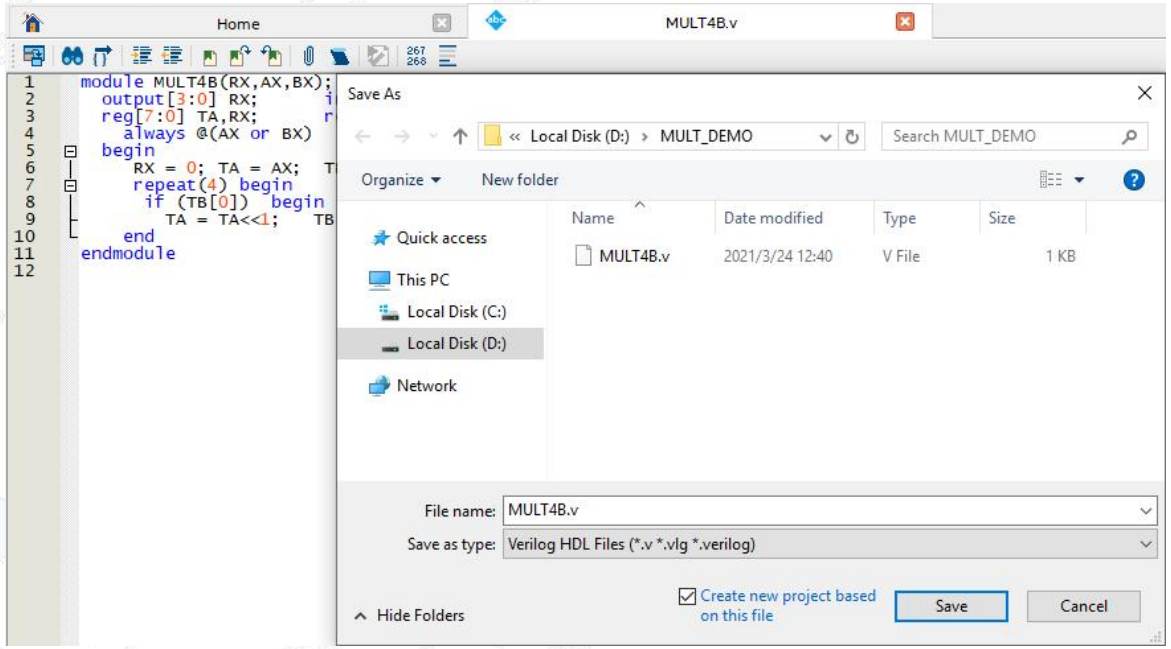


图4-2 编辑输入源程序并存盘

任何一项EDA设计都是一项工程，都必须首先为此工程建立一个放置与此工程相关的所有设计文件的文件夹（Working Library）。不同的设计项目最好放在不同的文件夹中，而同一工程的所有文件都放在同一文件夹中。

EDA Lab

4.1 Verilog程序输入和编译



4.1.1 编辑和输入设计文件

【例4-1】

```
module MULT4B(RX,AX,BX);
  output[7:0] RX;        input [3:0] AX,BX;
  reg[7:0] TA,RX;        reg[3:0] TB;
  always @(AX or BX)
  begin
     TA=AX;  TB=BX;
     RX=TA*TB;
   end
endmodule
```

EDA Lab

4.1 Verilog程序输入和编译

4.1.2 创建工程

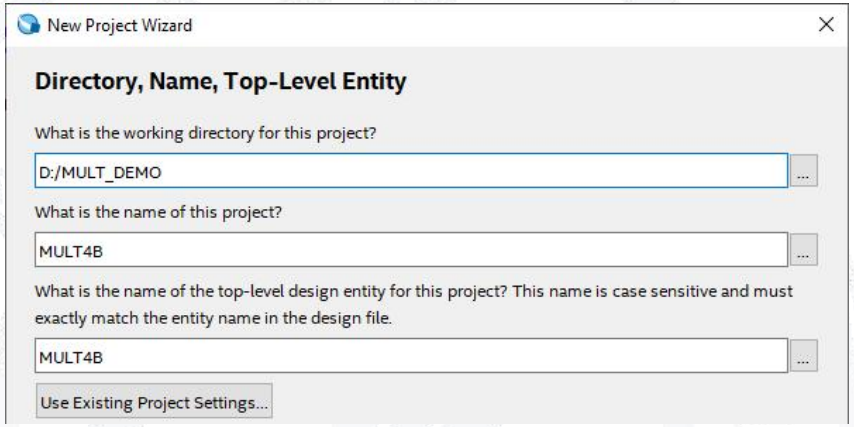


图4-3 New Project Wizard工程创建

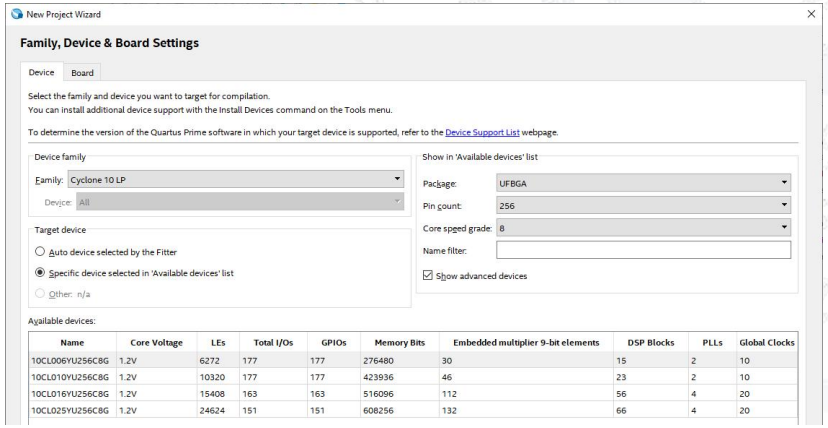


图4-4 选择目标芯片10CL006YU256C8G

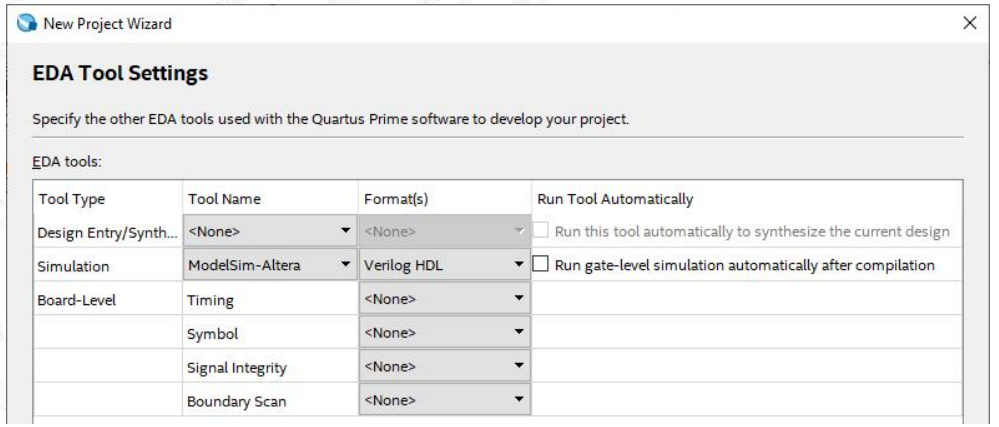


图4-5 设计与验证工具软件选择

EDA Lab

4.1 Verilog程序输入和编译

4.1.3 全程编译前约束项目设置

Assignments→Settings → More Settings

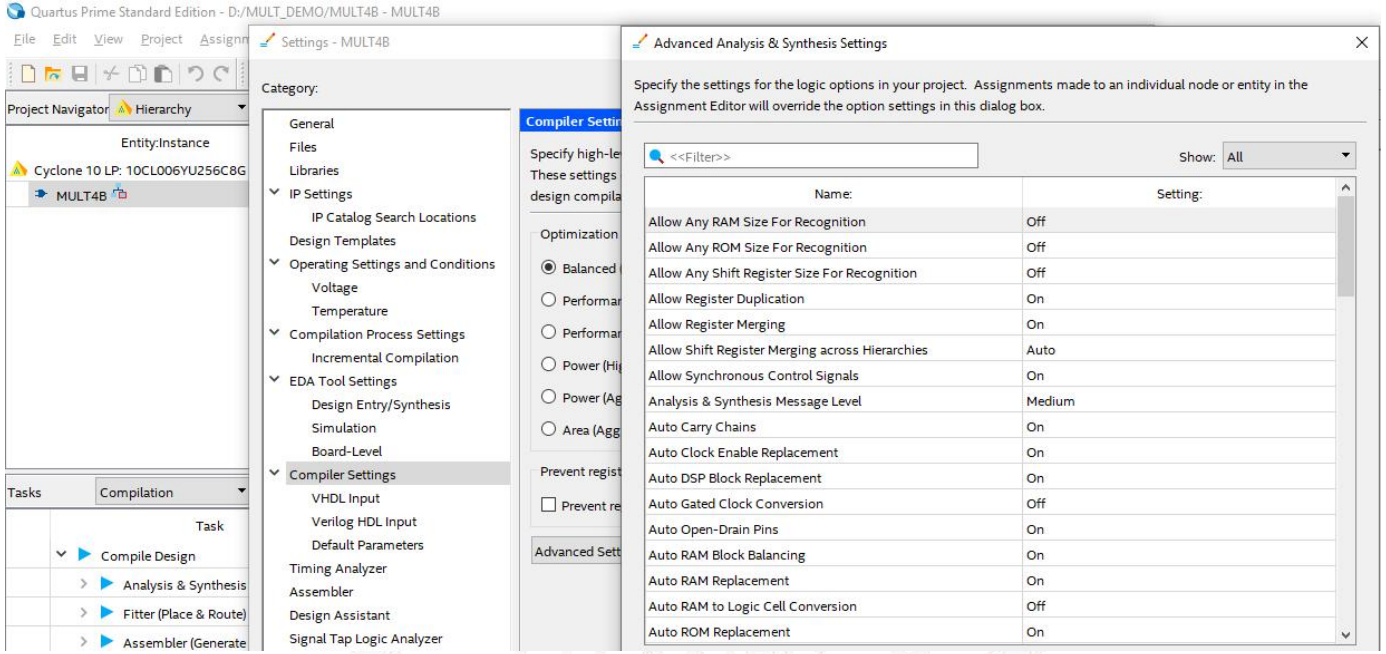


图4-6 选择编译综合的工作方式

（1）选择编译约束条件（2）选择目标芯片的其它控制项（3）选择配置器件的工作方式（4）选择目标器件引脚端口状态。

4.1 Verilog程序输入和编译

4.1.3 全程编译前约束项目设置

Assignments→Device

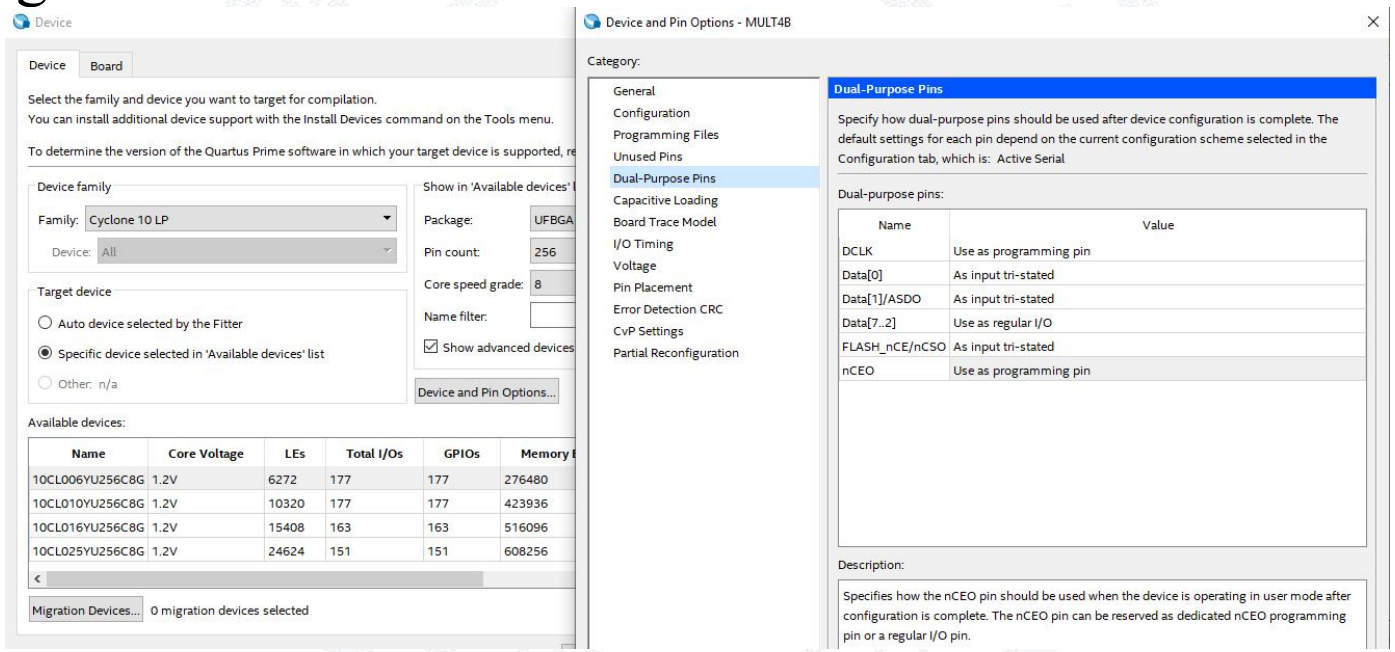


图4-7 选择目标器件和工作方式

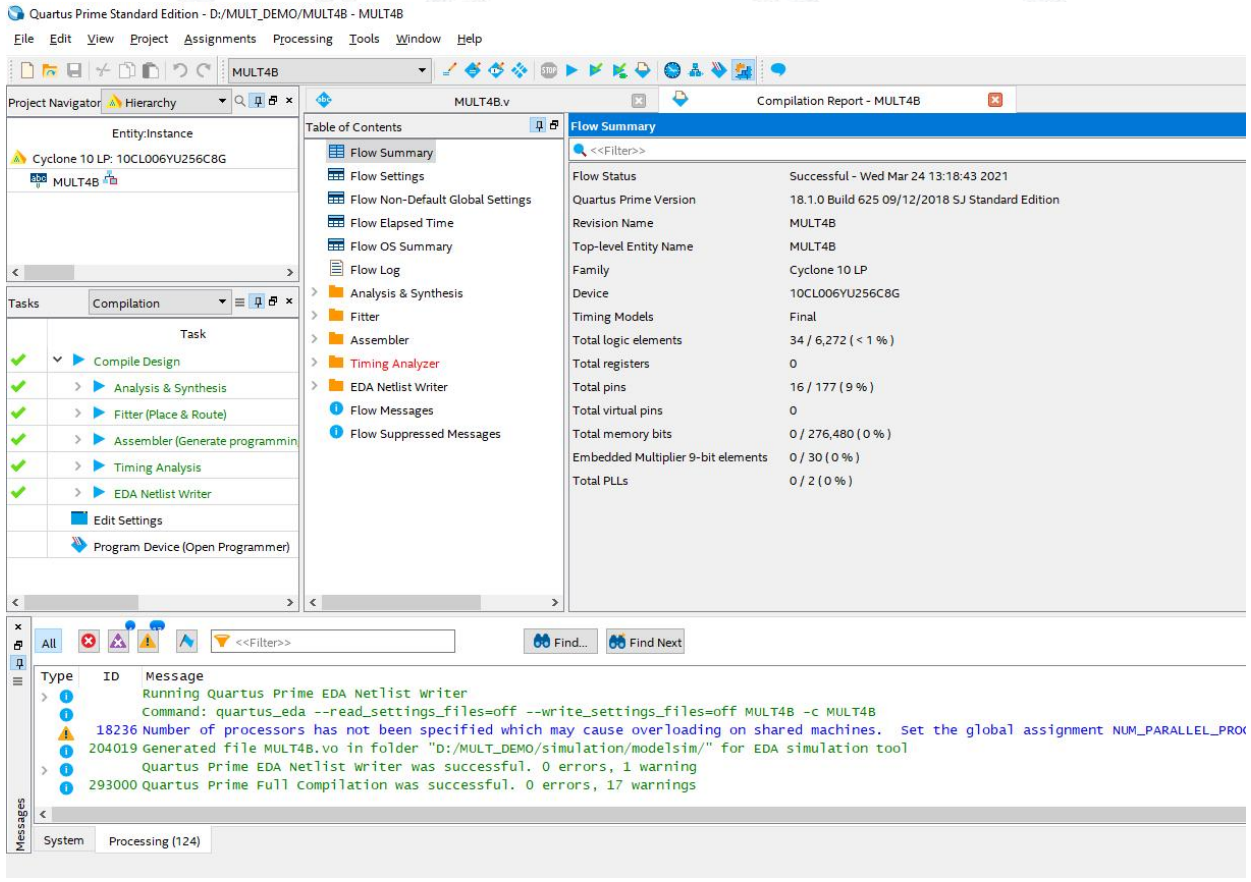
（1）选择编译约束条件（2）选择目标芯片的其它控制项（3）选择配置器件的工作方式（4）选择目标器件引脚端口状态。

EDA Lab

4.1 Verilog程序输入和编译

4.1.4 全程综合与编译

Processing -> Start Compilation



4.2 仿真测试

（1）确认Quartus中的仿真工具是否指向Modelsim所在路径

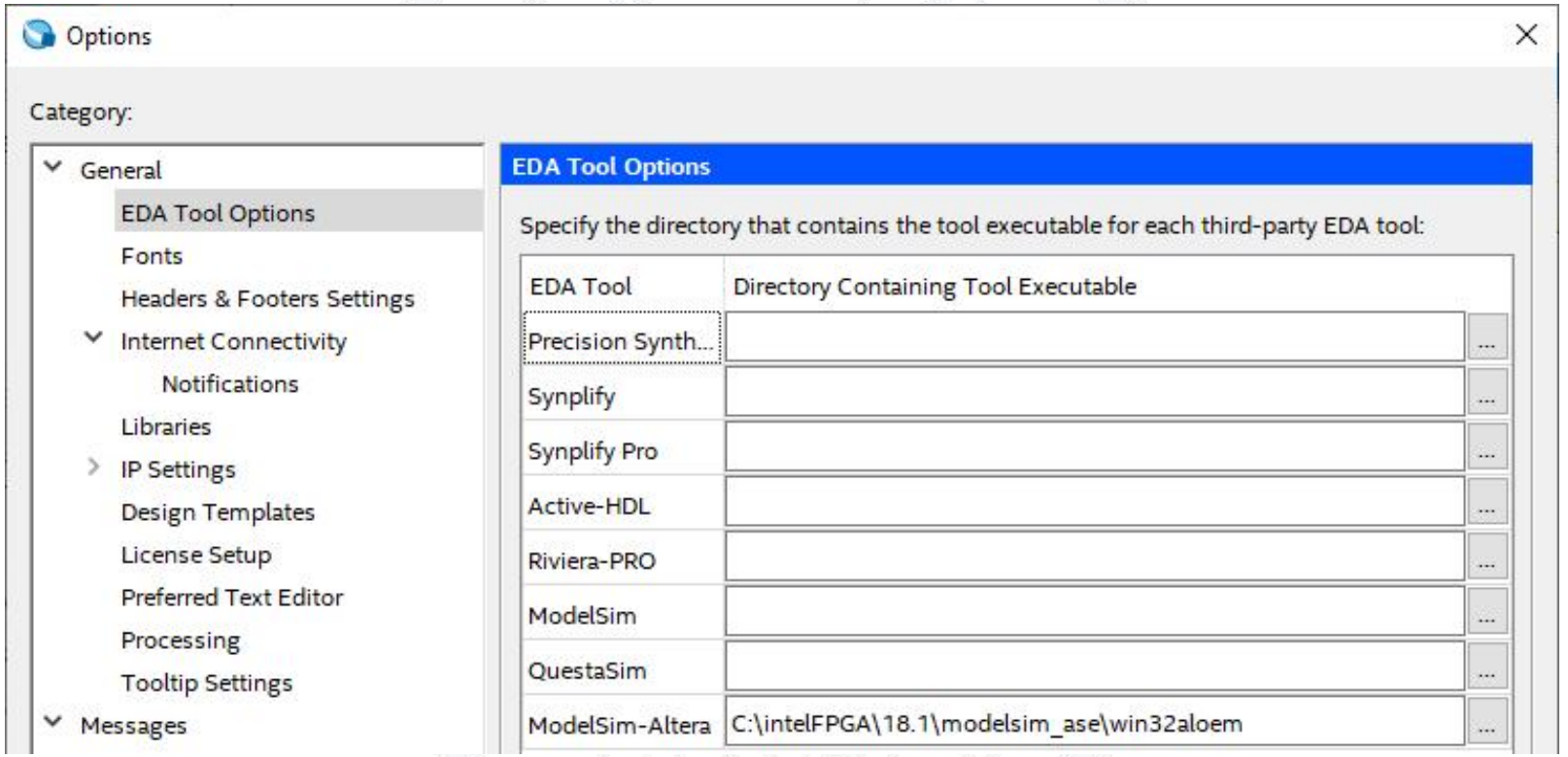


图4-9 查看Quartus仿真工具指向ModelSim仿真软件的路径

4.2 仿真测试

（2）启动ModelSim。选择Tool→Run Simulation Tool→RTL Simulation

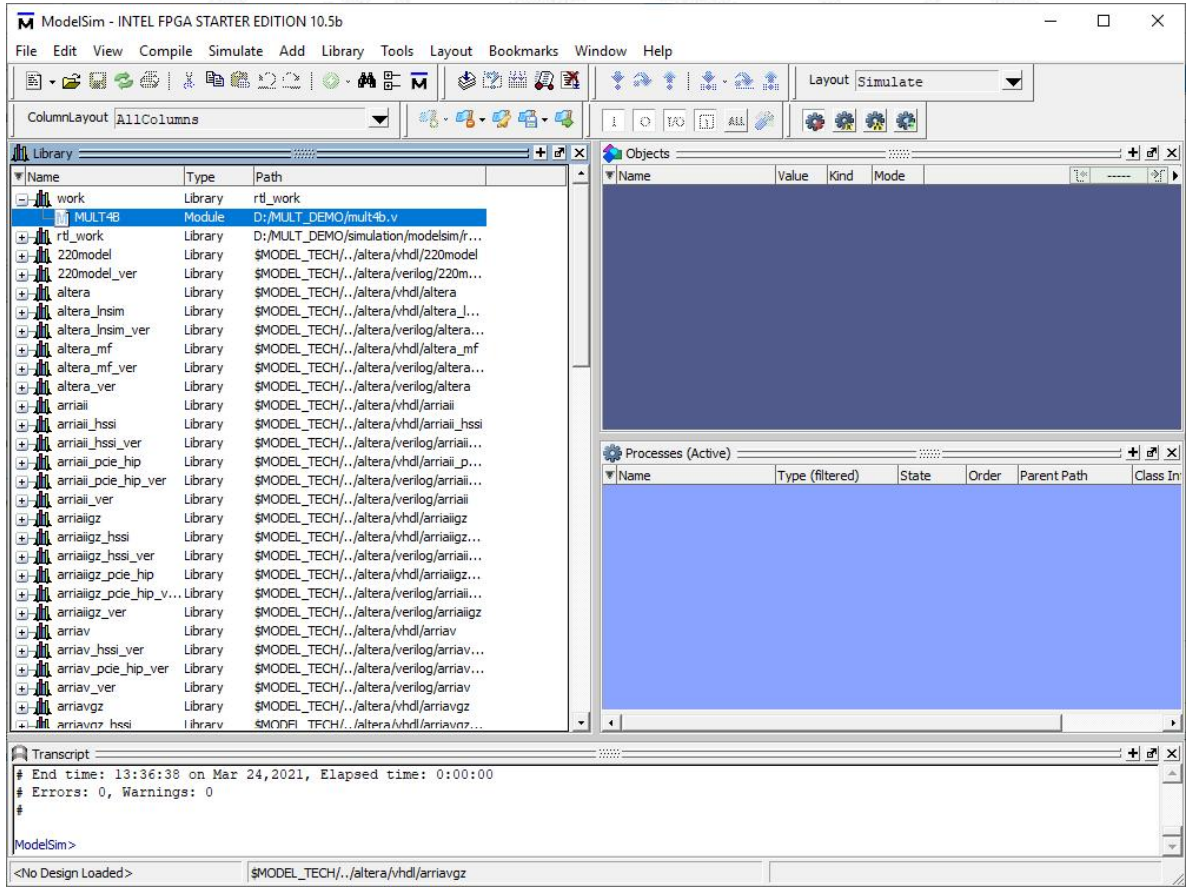


图4-10 Vector Waveform File文件编辑窗

4.2 仿真测试

（3）将工程MULT4B的端口信号节点选入波形观察窗口

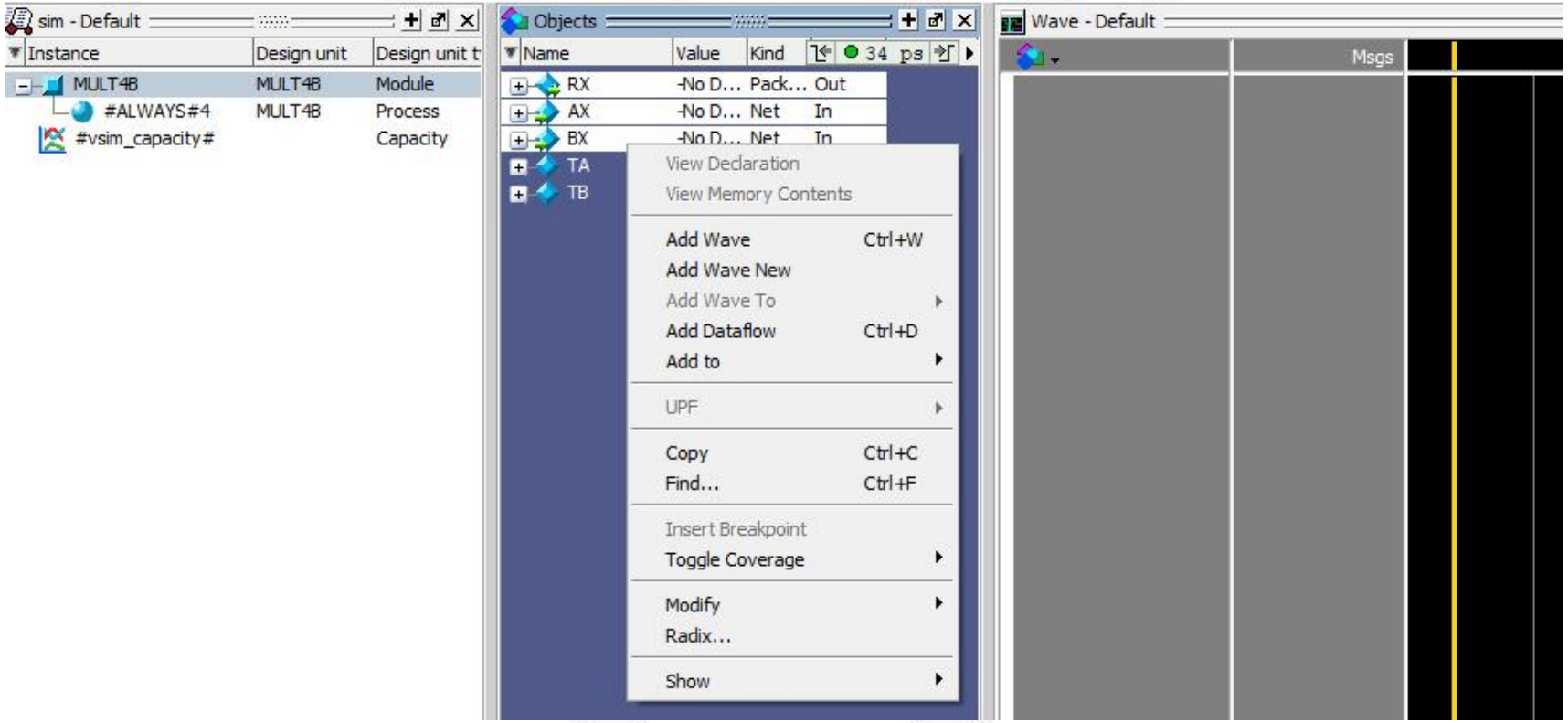


图4-11 端口信号节点选入波形观察窗口

4.2 仿真测试

（4）波形文件存盘

（5）设置激励信号波形

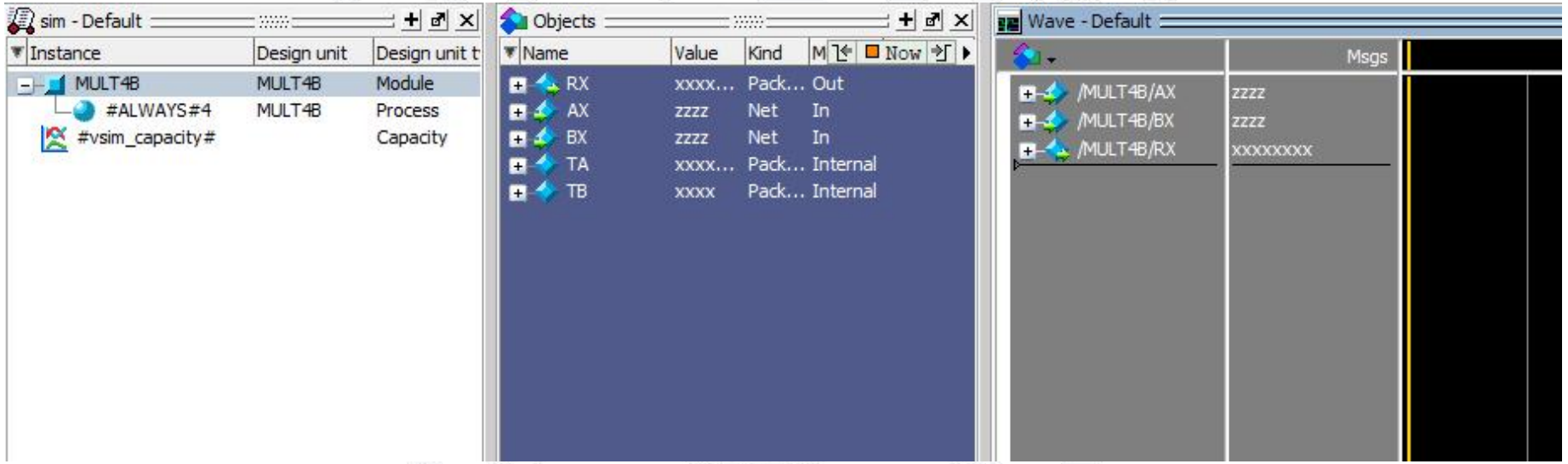


图4-12 加入仿真需要的信号节点

4.2 仿真测试

（5）设置激励信号波形

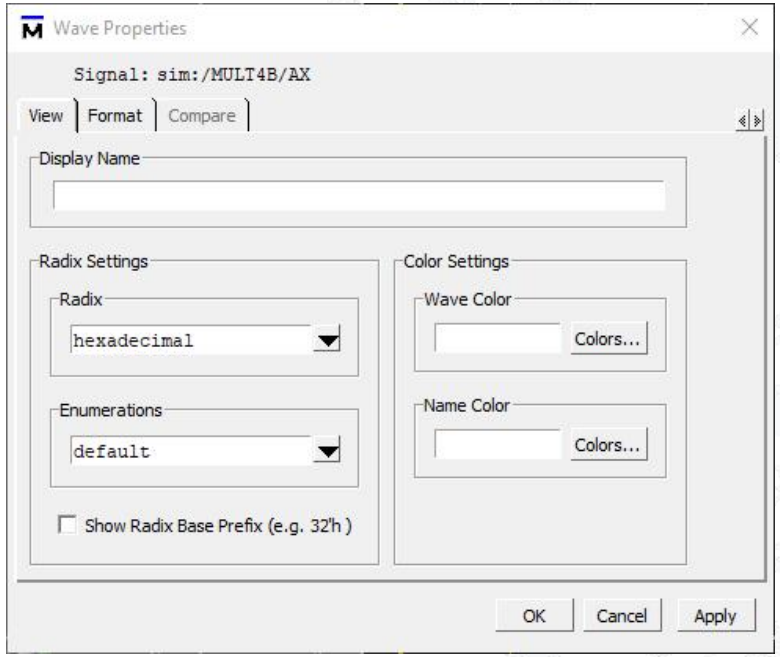


图4-13 设置矢量数据格式

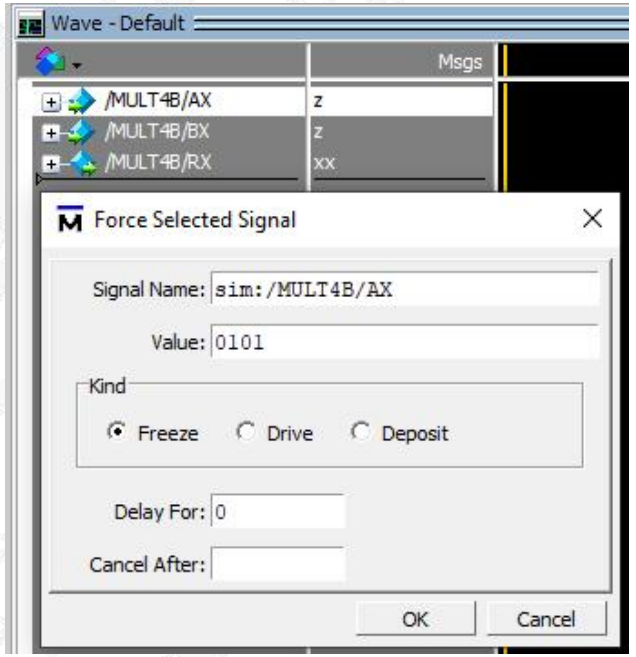


图4-14 设置输入数据

4.2 仿真测试

（6）启动仿真器
（7）观察仿真结果

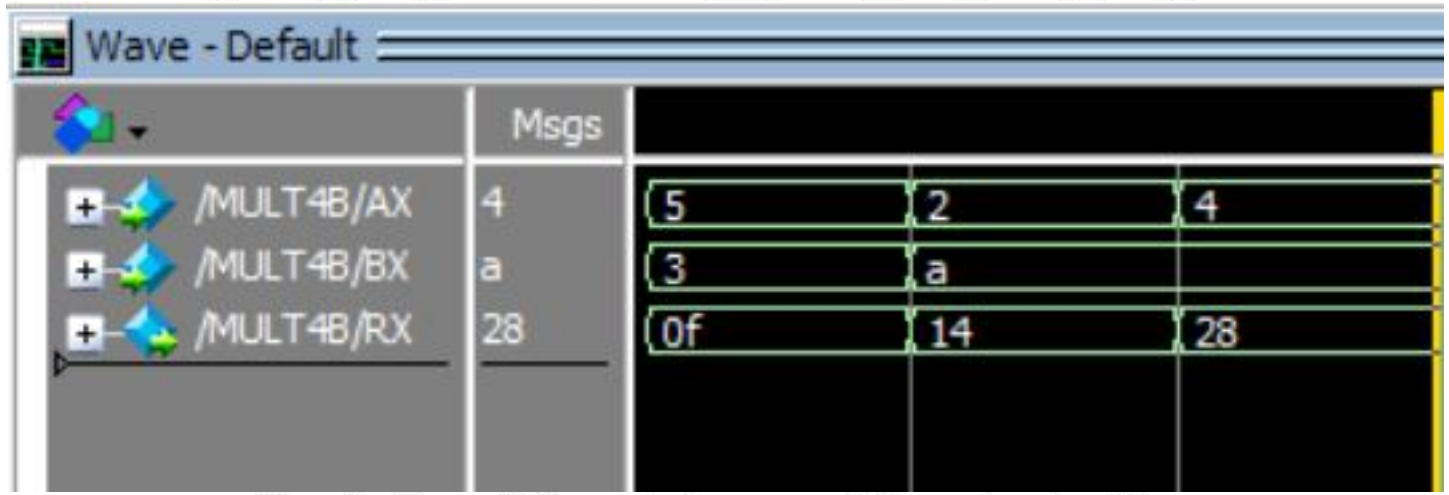


图4-15 编辑好激励波形

4.3 引脚锁定与硬件测试

4.3.1 引脚锁定

选择的核心板是HX1006A

表4-1 基于HX1006A FPGA的引脚锁定情况

信号名	AX(3)	AX(2)	AX(1)	AX(0)	BX(3)	BX(2)	BX(1)	BX(0)
数据输入	键1				键2			
电路信号	SW4	SW3	SW2	SW1	K4	K3	K2	K1
FPGA引脚	M2	M15	M16	E16	E2	E1	F3	M1
信号名	RX(7)	RX(6)	RX(5)	RX(4)	RX(3)	RX(2)	RX(1)	RX(0)
电路信号	LED13	LED12	LED11	LED10	LED9	LED8	LED7	LED6
FPGA引脚	A10	A11	A12	A13	A14	A15	C15	D15

EDA Lab

4.3 引脚锁定与硬件测试

4.3.1 引脚锁定

Node Name	Direction	Location	I/O Bank	VREF Group	Fitter Location
AX[3]	Input				PIN_L9
AX[2]	Input				PIN_K8
AX[1]	Input				PIN_R9
AX[0]	Input				PIN_E16
BX[3]	Input				PIN_R8
BX[2]	Input				PIN_L8
BX[1]	Input				PIN_T10
BX[0]	Input				PIN_E15
RX[7]	Output				PIN_P8
RX[6]	Output				PIN_T6
RX[5]	Output				PIN_N8
RX[4]	Output				PIN_T8
RX[3]	Output				PIN_K9
RX[2]	Output				PIN_T7
RX[1]	Output				PIN_T9
RX[0]	Output				PIN_N9

图4-17 编译完成后刚打开的Pin Planner窗

Node Name	Direction	Location
AX[3]	Input	PIN_M2
AX[2]	Input	PIN_M15
AX[1]	Input	PIN_M16
AX[0]	Input	PIN_E16
BX[3]	Input	PIN_E2
BX[2]	Input	PIN_E1
BX[1]	Input	PIN_F3
BX[0]	Input	PIN_M1
RX[7]	Output	PIN_A10
RX[6]	Output	PIN_A11
RX[5]	Output	PIN_A12
RX[4]	Output	PIN_A13
RX[3]	Output	PIN_A14
RX[2]	Output	PIN_A15
RX[1]	Output	PIN_C15
RX[0]	Output	PIN_D15

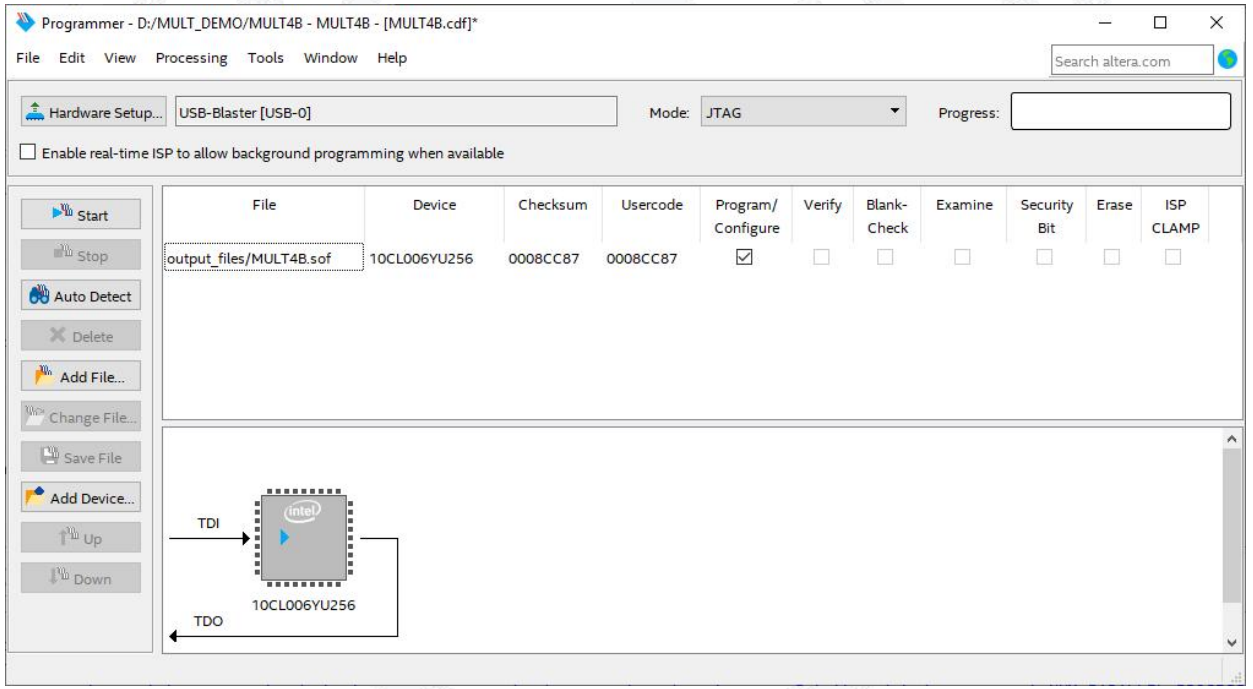
图4-18 引脚锁定完成后

存储引脚锁定的信息后，必须再编译一次，启动Start Compilation

4.3 引脚锁定与硬件测试

4.3.2 编译文件下载

（1）打开编程窗和配置文件。



将编译产生的SOF格式配置文件下载到FPGA中。

4.3 引脚锁定与硬件测试

（2）设置编程器。

（3）硬件测试。

安装驱动程序，发现硬件设备。

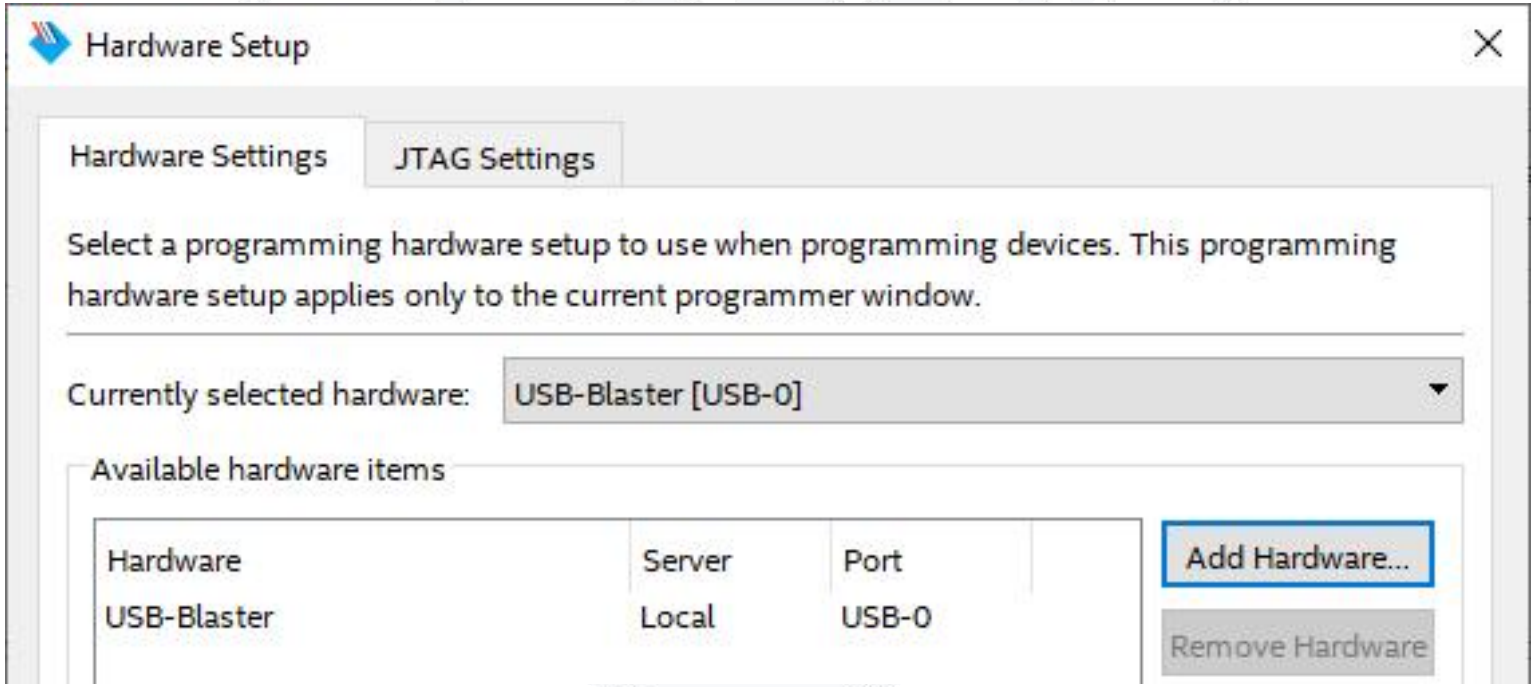
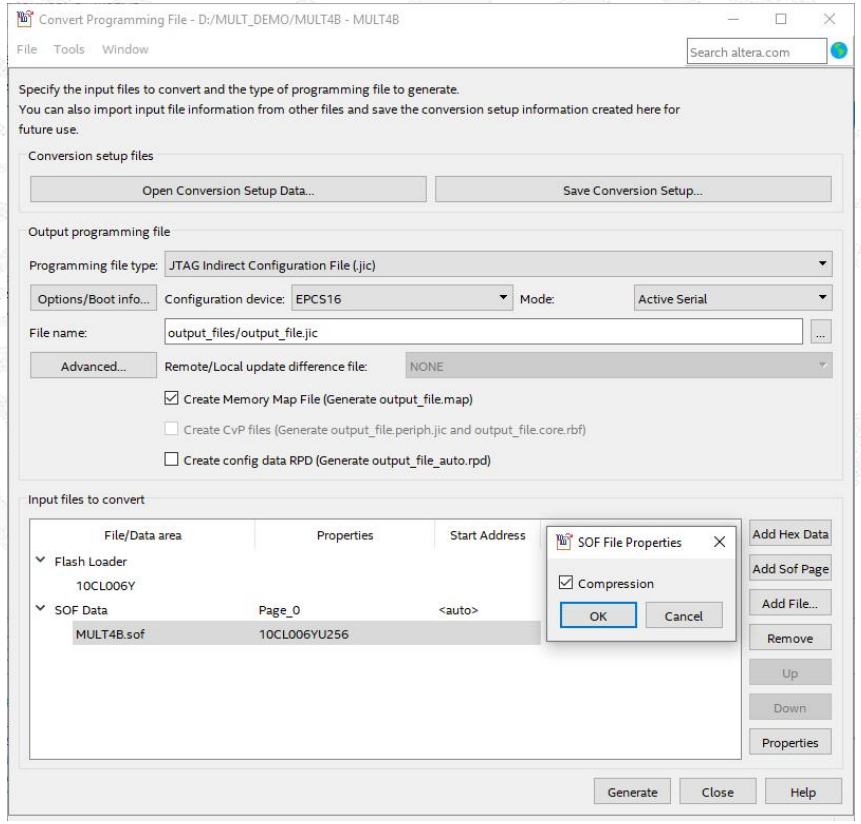


图4-20 加入编程下载方式

4.3 引脚锁定与硬件测试

4.3.3 JTAG间接编程模式

1. 将SOF文件转化为JTAG间接配置文件



4.3 引脚锁定与硬件测试

4.3.3 JTAG间接编程模式

2. 下载JTAG间接配置文件

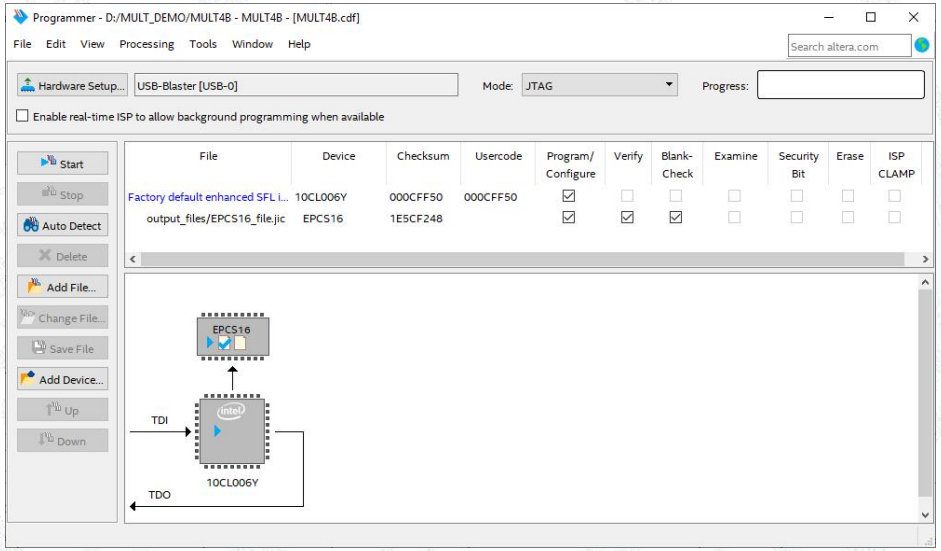


图4-22 用JTAG模式将间接配置文件烧入配置器件EPCS16中

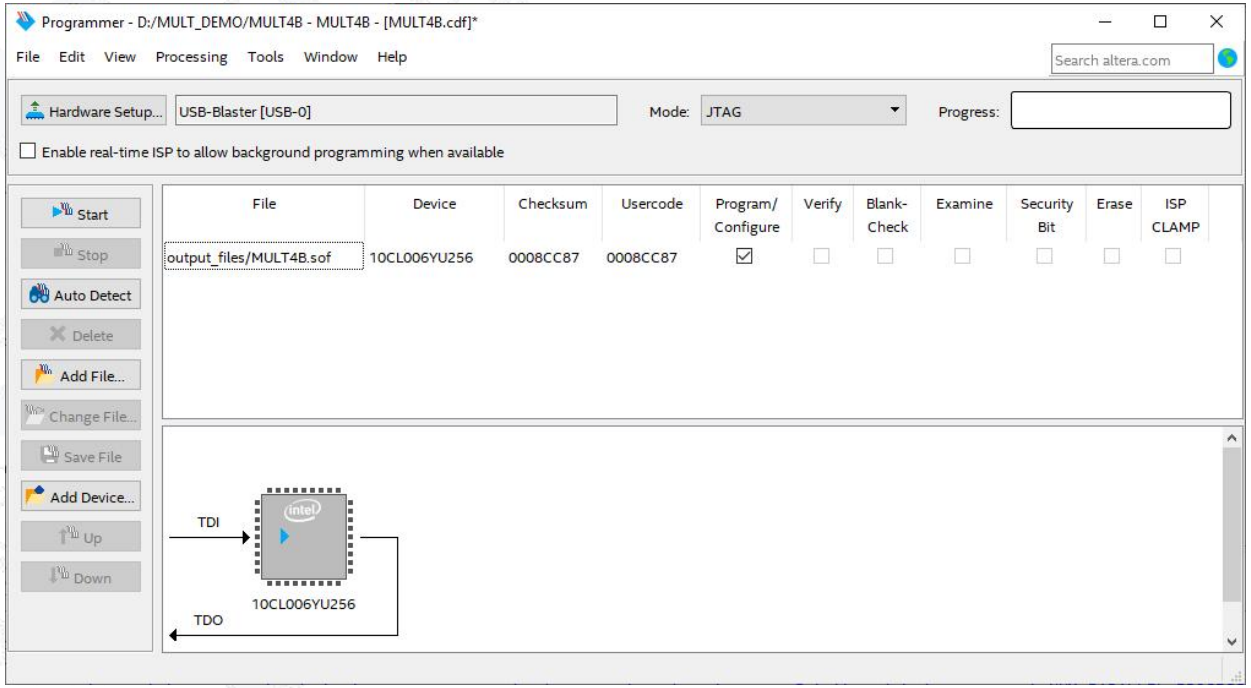
Tool->Programmer->JTAG模式->加入JTAG间接配置文件.jic文件->Start进行编程下载。为了证实下载后系统是否能正常工作，在下载完成后，必须先关闭系统电源，然后再打开电源，以便启动EPCS器件对FPGA的配置。最后测试观察工作情况。

4.3 引脚锁定与硬件测试

4.3.4 USB-Blaster驱动程序安装方法

假定Quartus安装在C盘，则驱动程序的路径为C:\intelFPGA\18.1\quartus\drivers\usb-blaster

安装完毕后，打开Quartus，选择编程器，单击右图左上角的Hardware Setup按钮，在弹出的窗口中双击USB-Blaster项。



4.4 电路原理图设计流程

1．用原理图设计一个半加器

（1）打开原理图编辑窗。

（2）建立一个初始原理图。

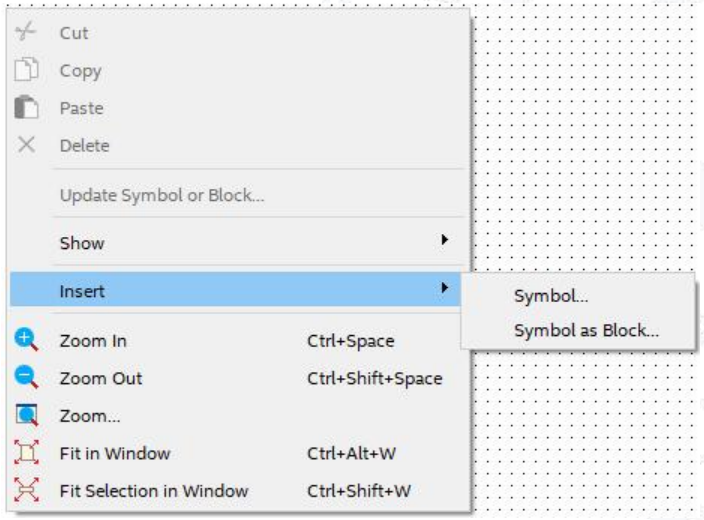


图4-23 选择打开元件输入窗

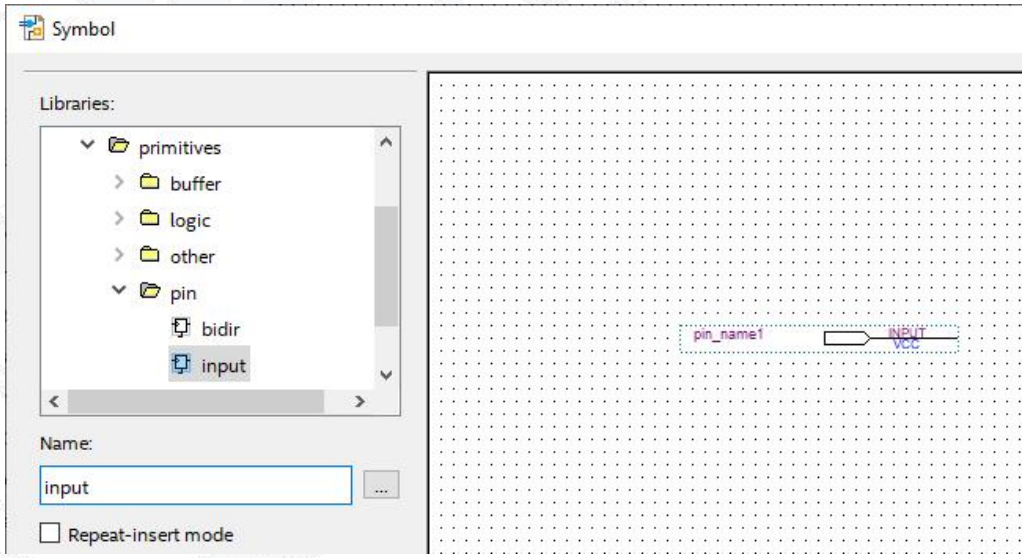


图4-24 在元件输入对话框输入引脚

4.4 电路原理图设计流程

（3） 原理图文件存盘。

（4）创建原理图文件为顶层设计的工程。

（5）绘制半加器原理图。

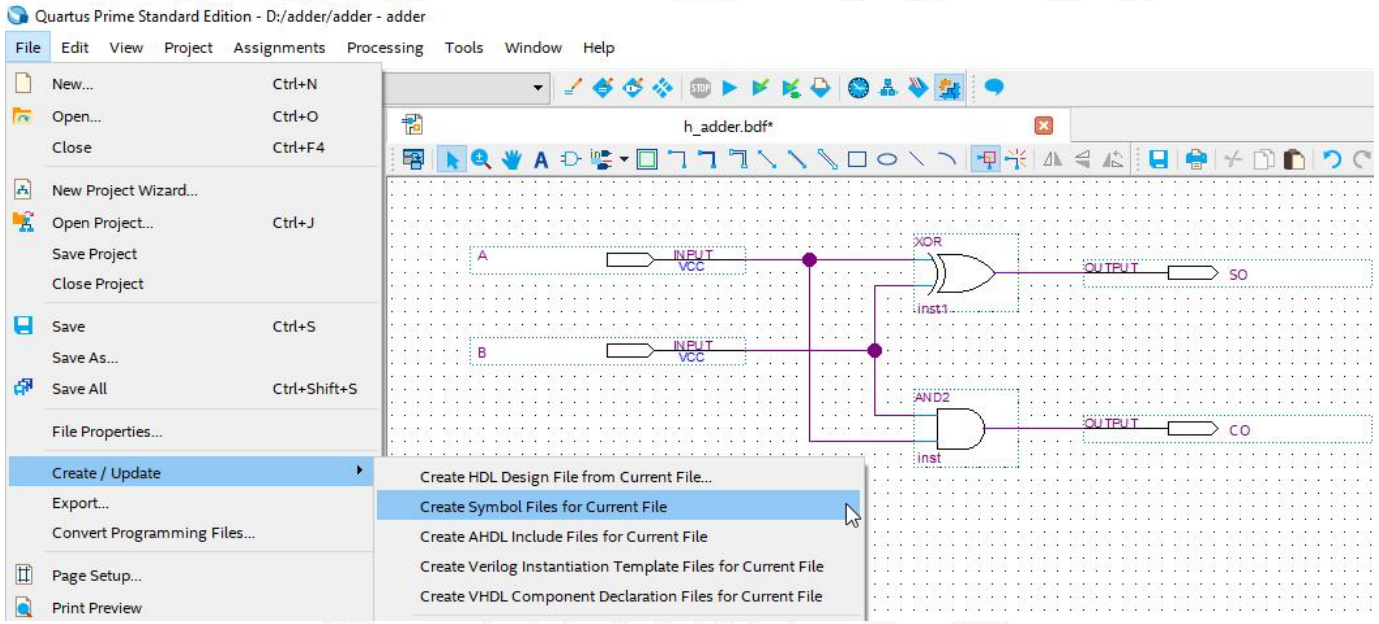


图4-25 完成设计并将半加器封装成一个元件，以便在更高层设计中调用

（6）测试半加器。

4.4 电路原理图设计流程

2. 设计全加器顶层文件

选择File→Create/Update→Create Symbol Files for Current File命令，即可将当前电路图变成一个元件符号存盘（元件文件名是h_adder.bsf），以便在高层次设计中调用

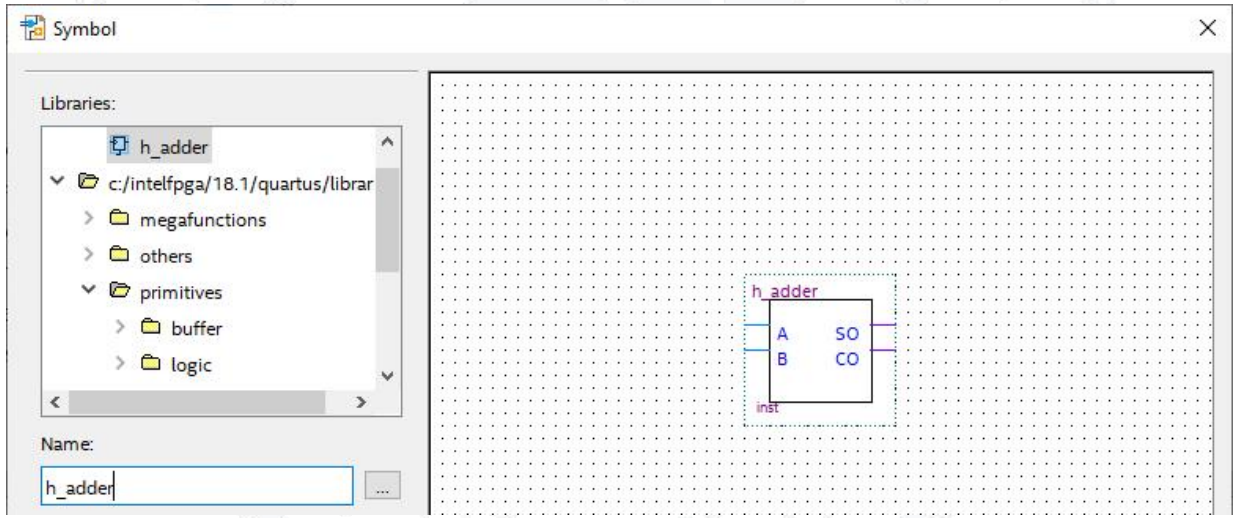


图4-26 在f_adder工程下加入半加器原件

4.4 电路原理图设计流程

3. 对设计项目进行时序仿真

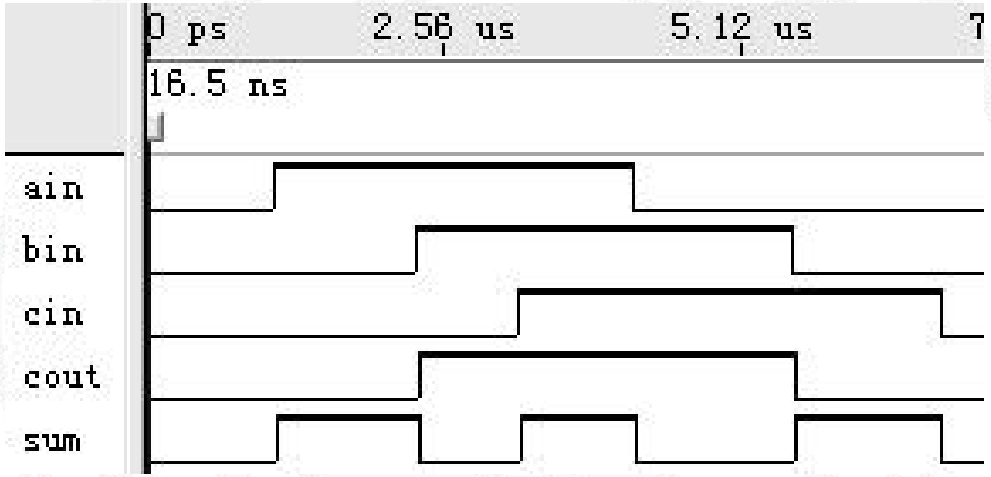


图4-27 全加器的仿真波形

4.5 HDL版本设置及Analysis & Synthesis功能



- 作为Quartus的编译模块之一，选择Assignments中的Settings对话框的Analysis & Synthesis，包括Quartus Integrated Synthesis集成综合器，完全支持VHDL和Verilog HDL，并提供控制综合过程的（约束）选项。
- 支持Verilog 1995标准（IEEE1364-1995）和大多数Verilog 2001标准（IEEE1364-2001），还支持VHDL 1987（IEEE1076-1987）和1993（IEEE1076-1993）标准。

EDA Lab

4.5 HDL版本设置及Analysis & Synthesis功能



- 在默认情况下，Analysis & Synthesis使用VHDL 1993和Verilog HDL 2001。

- 当建立数据库时，Analysis & Synthesis的分析阶段将检查工程的逻辑完整性和一致性，并检查边界连接和语法错误。

EDA Lab

4.6 利用属性表述实现引脚锁定



在Verilog文本表述中直接控制引脚锁定

【例4-2】

```
module MULT4B(RX,AX,BX);
 input  [3:0] AX  /*synthesis chip_pin="M2,M15,M16,E16" */;
 input  [3:0] BX  /*synthesis chip_pin="E2,E1,F3,M1" */;
 output [7:0] RX  /*synthesis
chip_pin="AA4,AA5,Y2,AA1,V2,W1,R2,U1" */;
 ... //其余部分同例4-1
```

第一，必须对应确定的目标器件，且本书中出现的属性语句仅适用于Quartus II；第二，只能在顶层设计文件中定义。

此文件编译后，可通过以上介绍的选择Assignments->Pins命令来查看单个端口的锁定

```
input CLK  /* synthesis chip_pin = "G21" */;
```

EDA Lab

4.7 keep属性应用

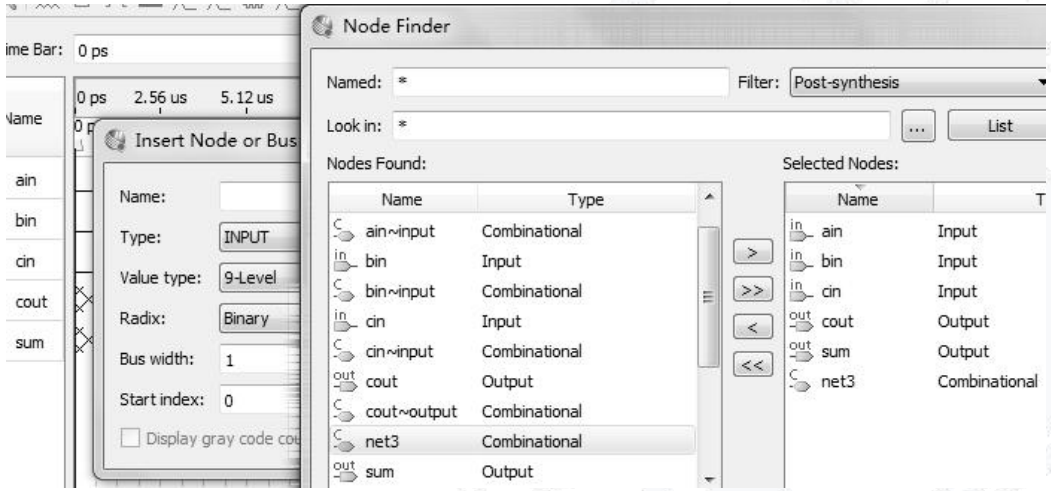


图4-28 向仿真激励信号波形编辑窗调入信号net3

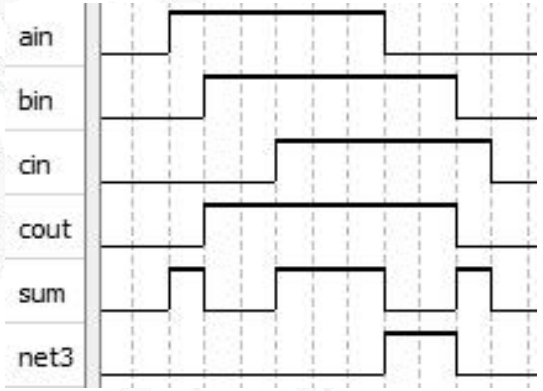


图4-29 仿真波形

但也可能出现这样的情况，有的信号即使作此处理后,在综合时仍有可能被优化掉,而无法看到它。这时就要赋予它"端口测试属性"。可加入probe port属性，把两个属性定义合在一起，即有如下语句:

(* synthesis,probe_port,keep *) wire net3;

对于矢量信号(如A[7:0])，可做如下定义:

(* synthesis,probe port,keep *) reg[7:0] A;

4.8 SignalProbe使用方法



- Quartus II的SignalProbe信号探测功能，能在不改变原设计布局的条件下利用FPGA内空闲的连线和端口将用户需要的内部信号引出FPGA。

- SignalProbe探测功能的使用是将不属于端口的、指定的内部信号引到器件外部，以便测试。

EDA Lab

4.8 SignalProbe使用方法

1. 按常规流程完成设计仿真和硬件测试
2. 设置SignalProbe Pins

Tools->SignalProbe Pins->芯片引脚选项-> Pin name->Source->Add

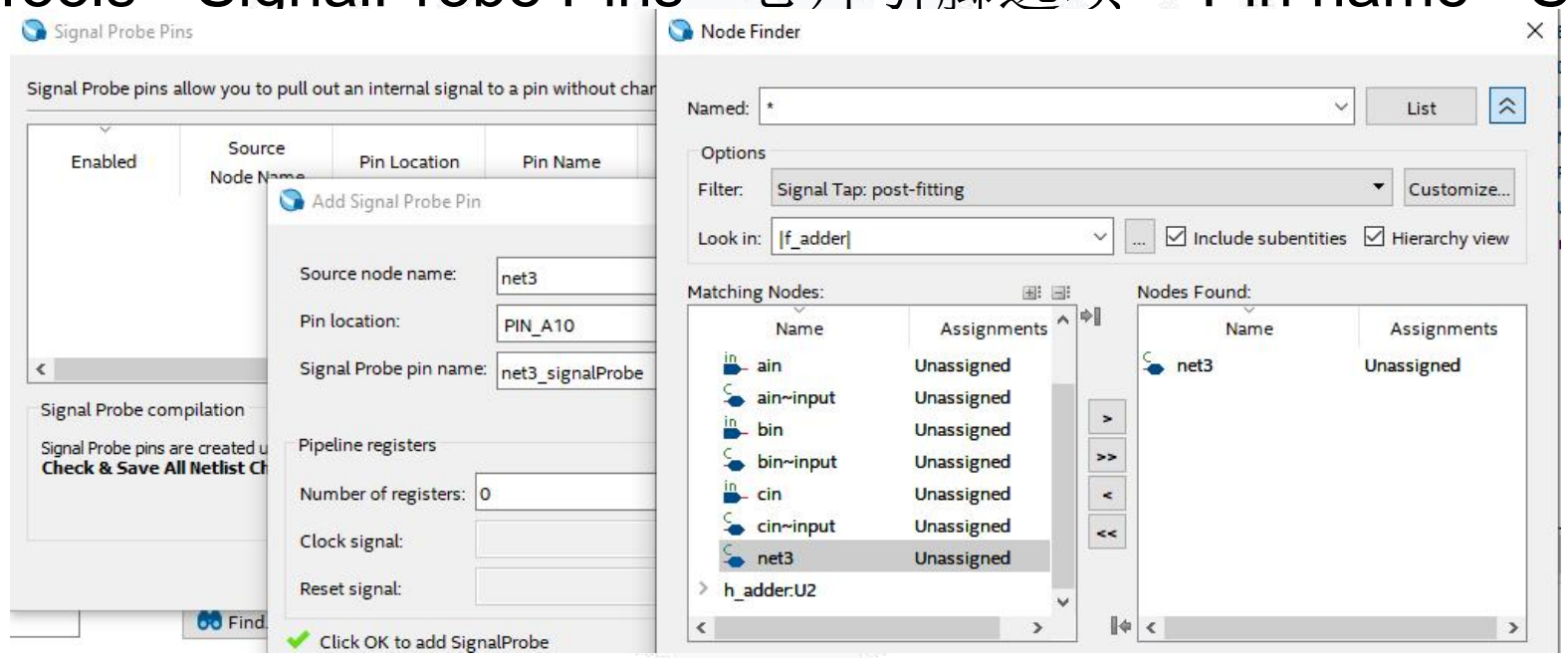


图4-30 在SignalProbe对话框设置探测信号net3

EDA Lab

4.8 SignalProbe使用方法

3. 编译SignalProbe Pins测试信息并下载测试

Processing-Start->Start SignalProbe Compilation，编译成功后即下载设计文件于FPGA中测试。

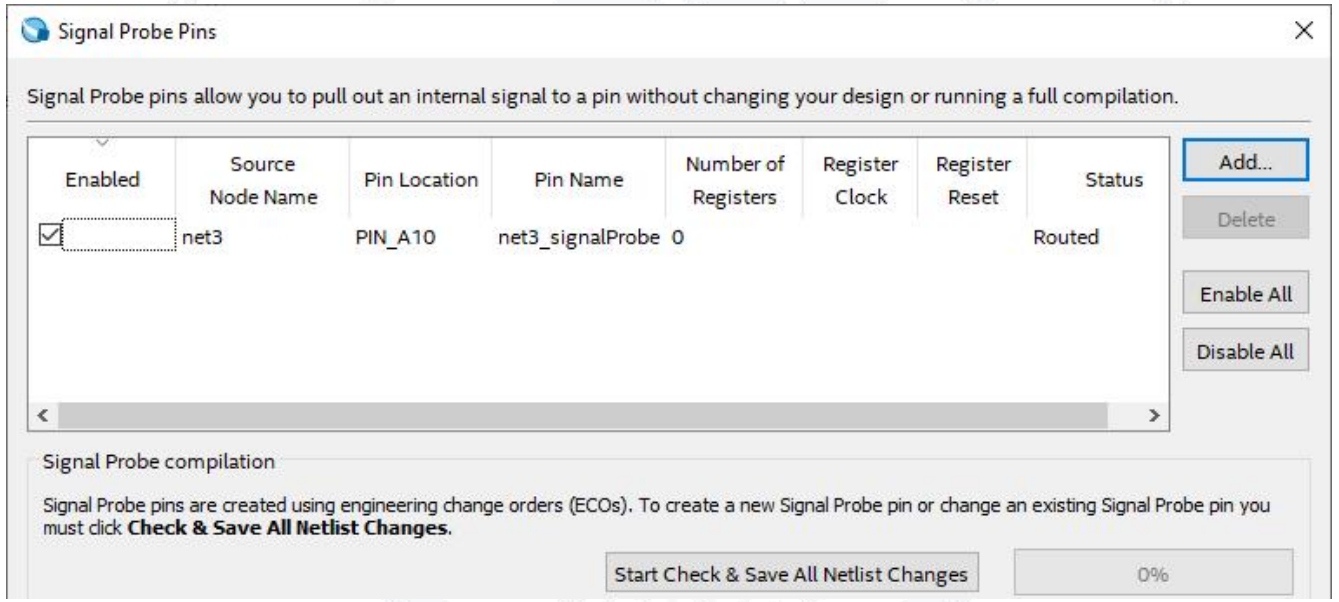


图4-31 SignalProbe Pins对话框设置情况

实验与设计

4-1 多路选择器设计实验

实验目的：进一步熟悉Quartus的Verilog文本设计流程，组合电路的设计仿真和硬件测试。

实验任务1：利用Quartus完成4选1多路选择器（例3-2）的文本代码编辑输入（MUX41a）和仿真测试等步骤，给出仿真波形。

实验任务2：在实验系统上进行硬件测试，验证此设计的功能。对于引脚锁定以及硬件下载测试，a、b、c、d分别接不同的时钟或键；输出信号接蜂鸣器。最后进行编译、下载和硬件测试。

EDA Lab

4-2　8位加法器设计实验

实验目的：熟悉利用Quartus的原理图输入方法设计简单的组合电路，掌握层次化设计方法，并通过一个8位全加器的设计把握文本和原理图输入方式设计的详细流程。

实验原理：一个8位加法器可以由8个全加器构成，加法器之间的进位可以串行方式实现，即将低位加法器的进位输出cout与相邻的高位加法器的最低进位输入信号cin相接。

实验任务1：按照4.4节完成半加器和全加器的设计，包括用文本或原理图输入、编译、综合、适配、仿真，对实验系统进行硬件测试，并将此全加器电路设置成一个元件符号入库。

4-3　8位硬件乘法器设计实验

实验目的：进一步熟悉利用Quartus完成Verilog硬件设计的流程；深入了解硬件乘法器的设计方法、硬件性能和实现方法。

实验任务1：首先参考本章4.1和4.2节，根据参考程序例4-1，完成一个4位乘法器的设计、编辑、仿真和硬件实现。

实验任务2：根据以上的设计，完成一个8位乘法器的设计、编辑、仿真和硬件实现。

EDA Lab

4-4　十六进制7段数码显示译码器设计

实验目的：学习7段数码显示译码器的Verilog硬件设计。

实验任务：将设计好的Verilog译码器程序在Quartus上进行编辑、编译、综合、适配、仿真，给出其所有信号的时序仿真波形（注意仿真波形输入激励信号的设置）。

提示：设定仿真激励信号时用输入总线的方式给出输入信号仿真数据。

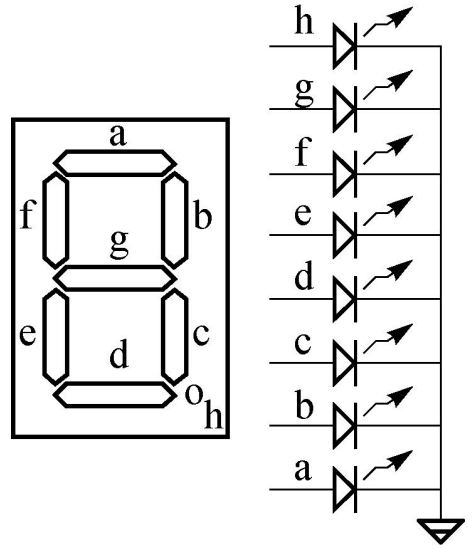


图4-32 共阴数码管

EDA Lab