EDA技术

第1章 EDA技术概述



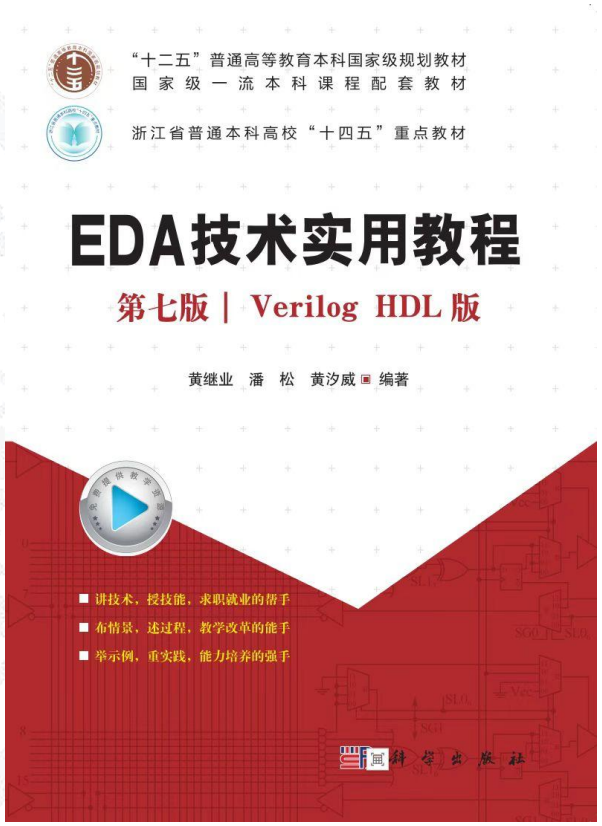
《EDA技术实用教程——Verilog HDL版》
（第七版）
配套课件

EDA Lab

教材

- 《EDA技术实用教程—Verilog HDL版》
- 第七版
- 科学出版社

- “十二五”国家级本科规划教材



HANGZHOU DIANZI UNIVERSITY 1956

EDA Lab

在线课程MOOC

- 中国大学MOOC网站
  - 搜索“EDA技术与Verilog”
- 国家级线上上一流本科课程





Verilog自动评分系统



- PTA平台
  - 登录 https://pintia.cn/home
  - 找到 本书题库进入

EDA Lab

内容提要



- 数字系统及其发展历史
- 处理器及其发展历史
- 硬件描述语言HDL
- 可编程逻辑器件
- 基于EDA技术的数字系统设计流程
- 常用EDA工具
- ASIC设计流程
- 设计层次
- IP核
- 数字系统与处理器发展趋势

EDA Lab

数字电路系统、处理器及其发展历史



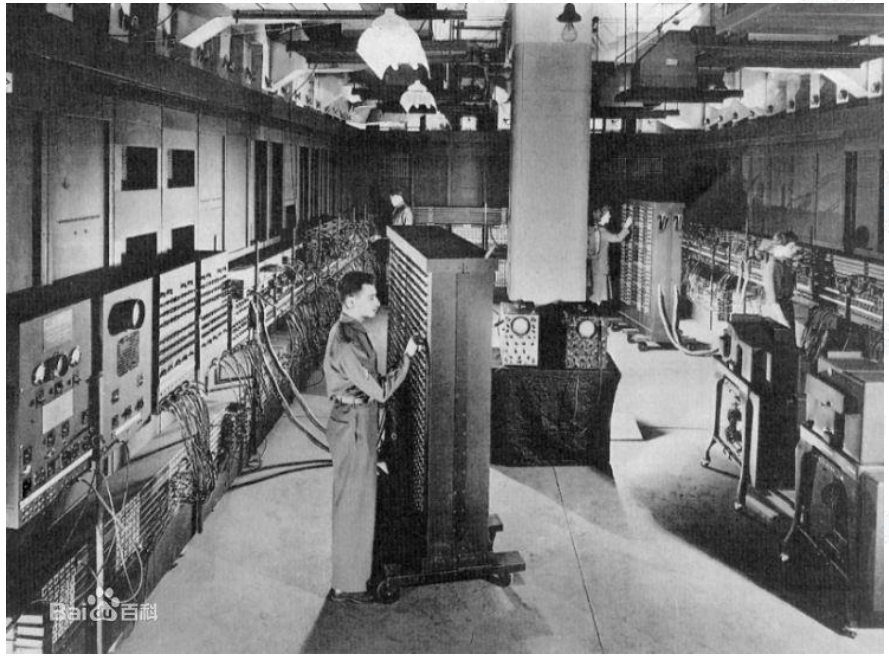
- 数字电子电路发展史
- 数字电路从早期到现在都与计算机发展密不可分
- 数字计算机的核心被称为中央处理器（CPU）
- 处理器就是一个复杂数字系统



EDA Lab

真空管和ENIAC

- 第一台通用计算机ENIAC（Electronic Numerical Integrator And Computer）
- 1946年2月14日的美国宾夕法尼亚大学
- 19,000个真空管

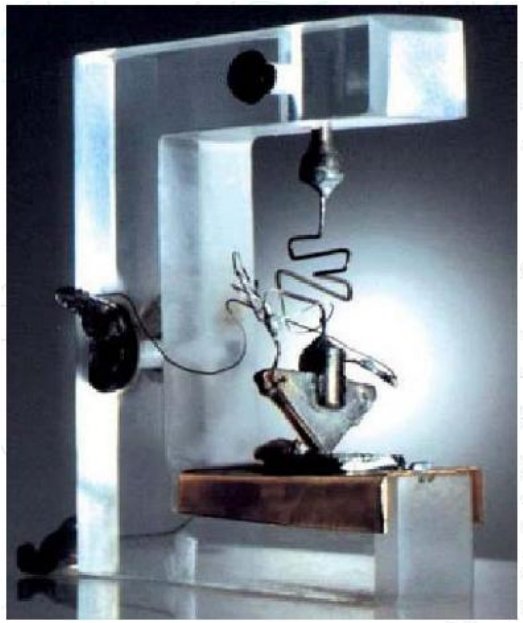


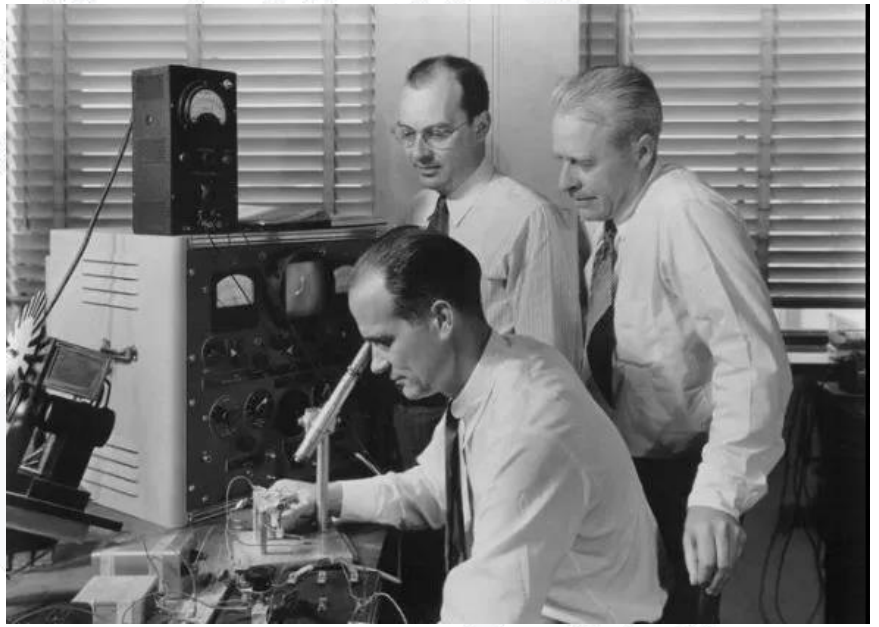


缺点：体积大，可靠性差，耗能

大小：长24m，宽6m，高2.5m
速度：5000次/sec；重量：50吨；
功率：140KW；平均无故障运行时间：7min

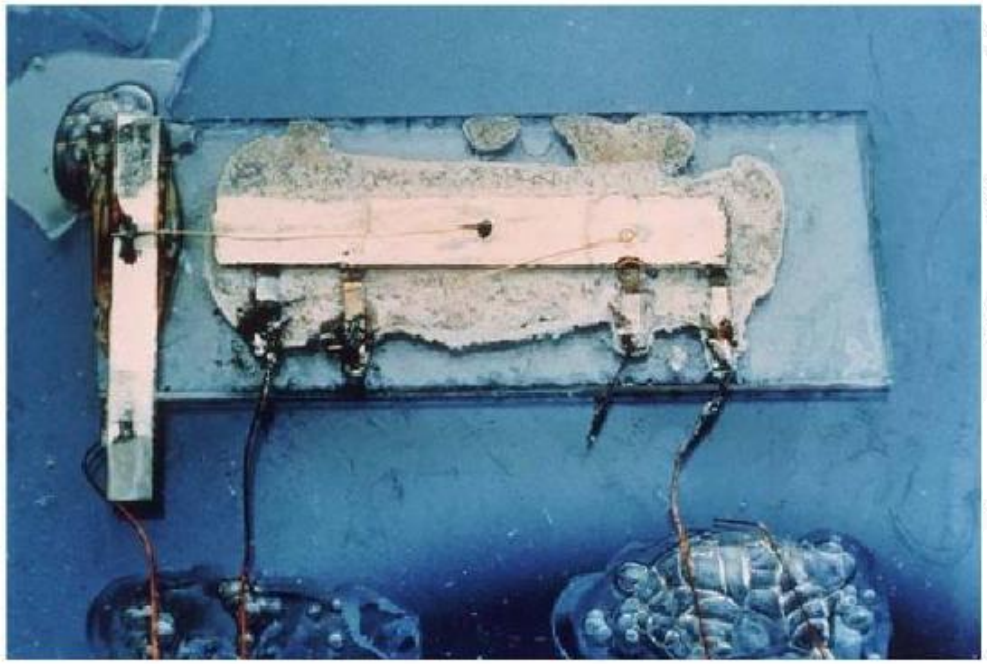
晶体管





- 1947年12月23日
- W. Schokley, J. Bardeen, W. Brattain发明第一个NPN Ge晶体管
- 获得1956年诺贝尔物理学奖

晶体管集成电路



1958年第一块集成电路：TI公司的Kilby，12个器件（两个晶体管、两个电容和八个电阻），Ge晶片



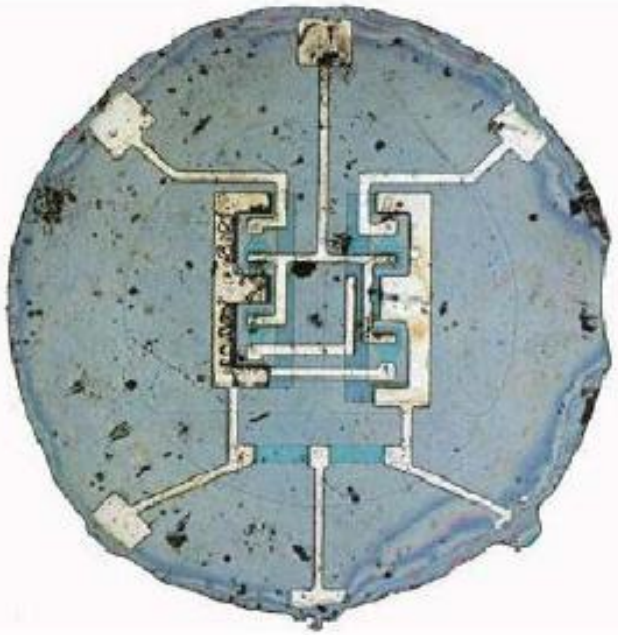
Ti公司Jack Kilby
（杰克.基尔比）

获得2000年诺贝尔物理学奖

Si平面IC工艺



Robert Noyce
(罗伯特.诺依斯)



1960年仙童公司制造的IC

1959年，美国仙童公司的R. Noicy（罗伯特.诺伊斯）开发出用于IC的Si平面工艺技术，从而推动了IC制造业的大发展

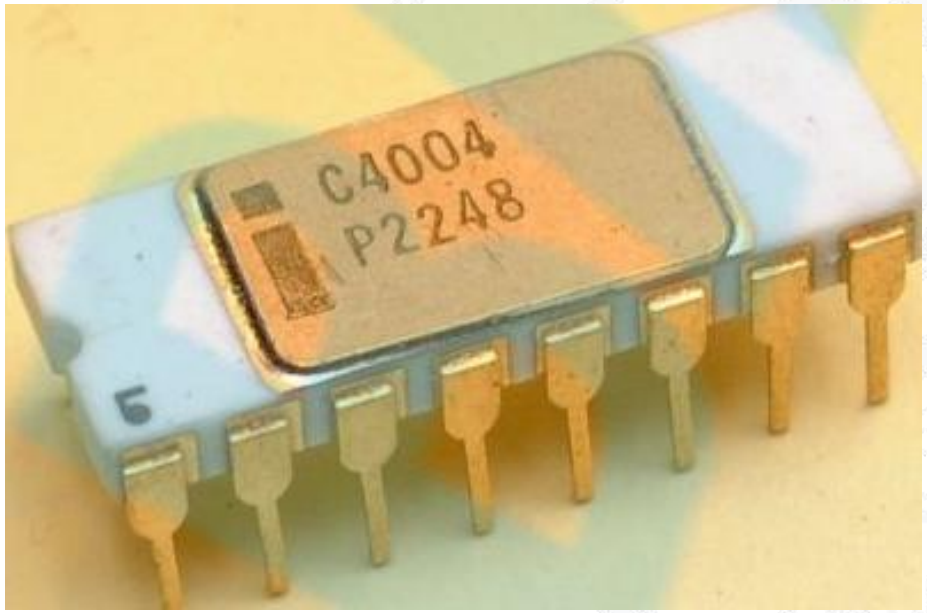
EDA Lab

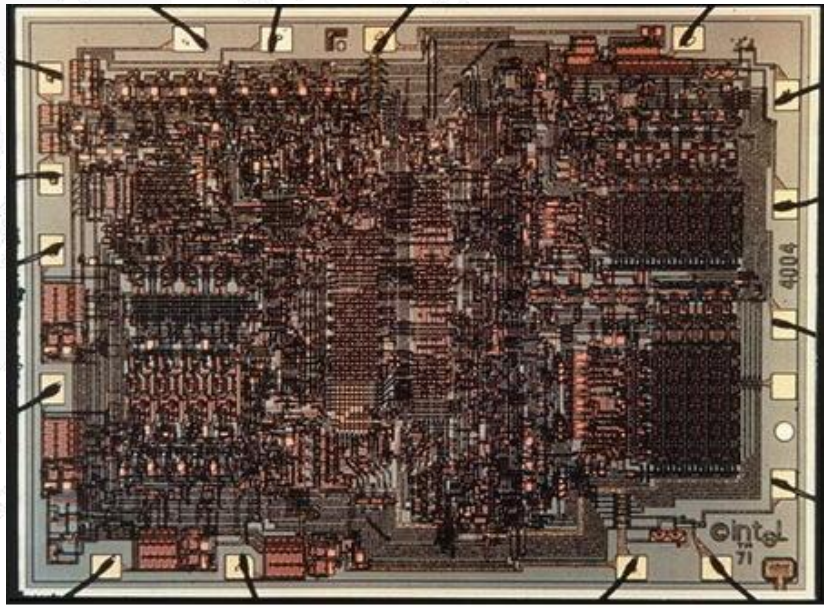
- 真空电子管计算机，1946
- 晶体管计算机，20世纪50年代后期
- 集成电路计算机，1965年
- 超大规模集成电路，20世纪70年代早期



EDA Lab

- 1971年，Intel 第一片微处理器4004





数字集成电路

- 中小规模逻辑器件（逐渐淘汰）
  - 74系列：74、74LS、74HC、74LVC……
  - CMOS系列：45xx、40xx
- 存储器
  - SRAM、FIFO
  - DRAM
  - Flash、SSD
- FPGA

HANGZHOU DIANZI UNIVERSITY 1956

处理器发展



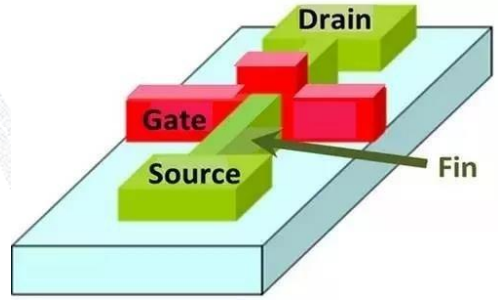
- 位数
  - 4位→ 8位→ 16位→ 32位→ 64位→128位
- 专用化
  - MCU、DSP、DSC、GPU、TPU
- 多核、多线程、超标量、多发射
- 安全计算机
- 应用场景
  - 极低功耗、嵌入式、应用处理器、桌面处理器、服务器处理器、超级计算机处理器单元

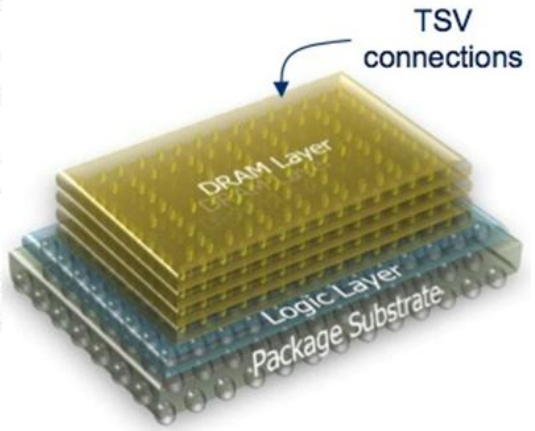


EDA Lab

数字集成电路工艺发展

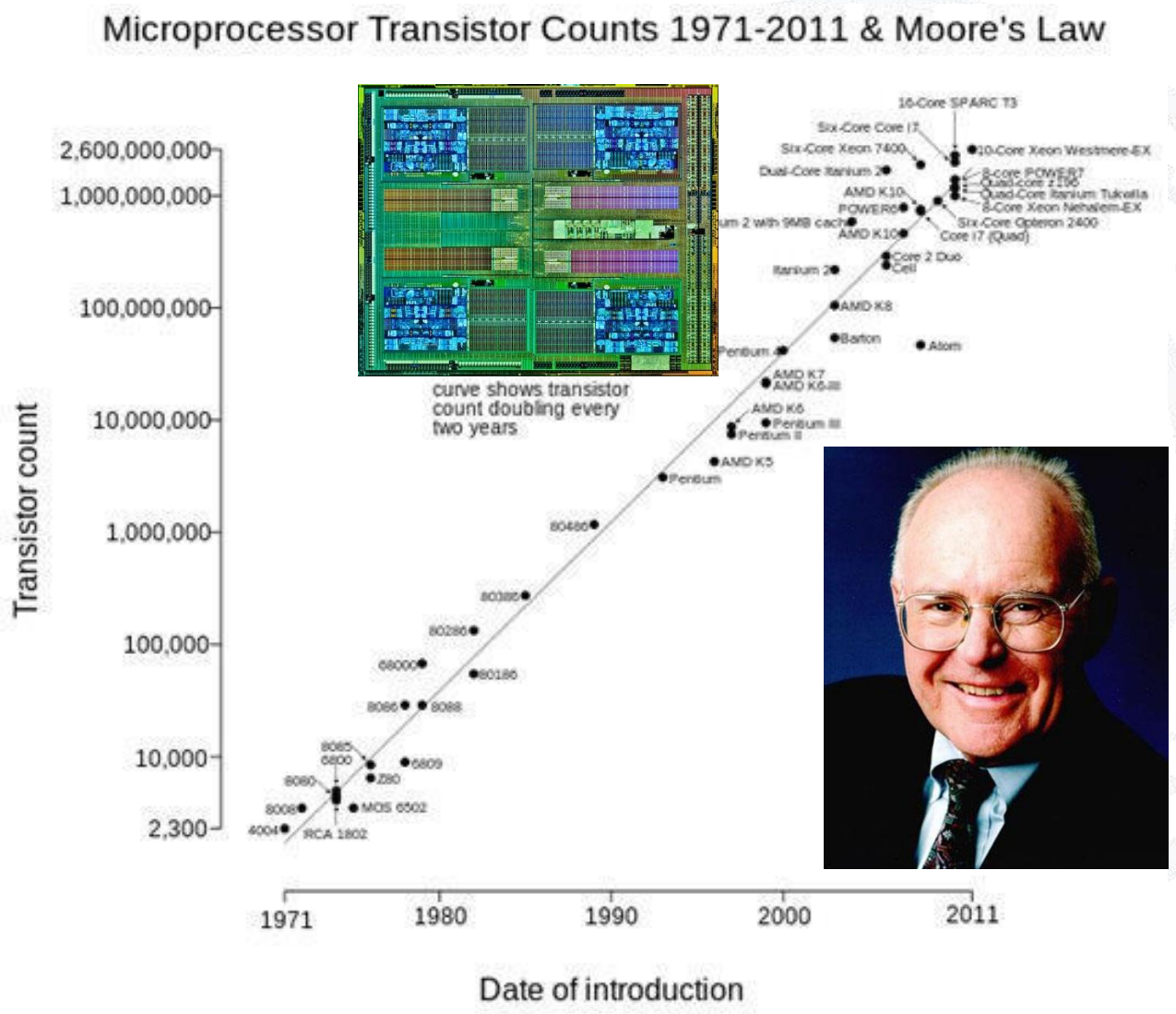
- 分立
- 平面集成
- FinFET立体发展
- 3D集成
- SiP立体封装
- 7nm/5nm工艺量产，3nm/2nm已经在试验





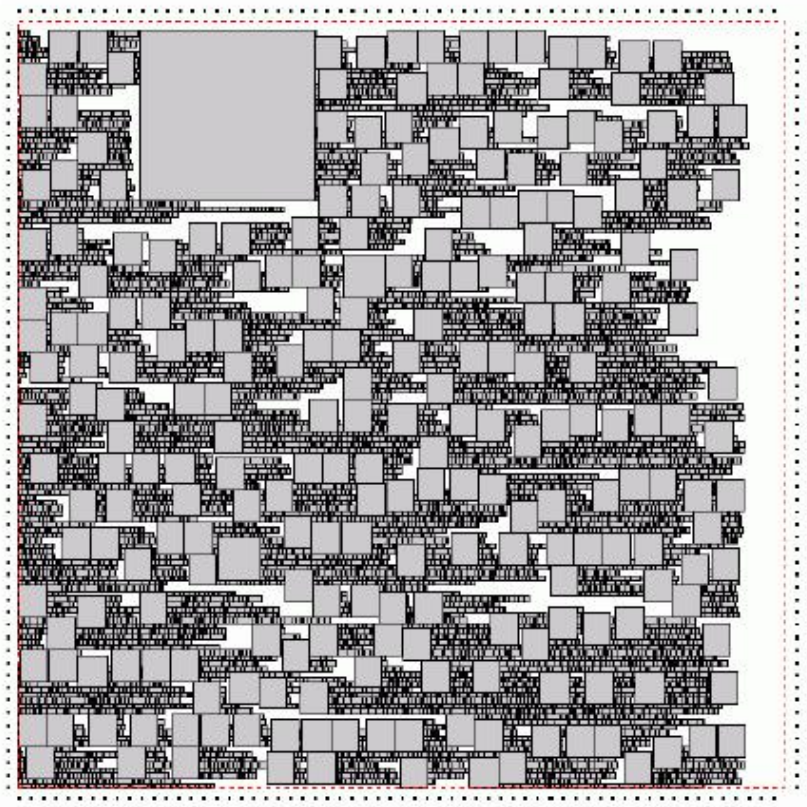
EDA Lab

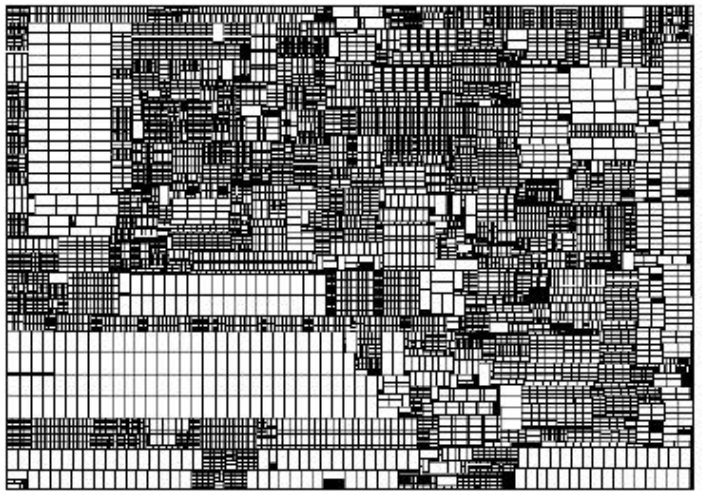
集成电路的发展



- 摩尔定律：半导体芯片上集成的晶体管数量将每18-24个月增加一倍

设计复杂度极大增加！






A Crosstalk-Driven Multilevel Routing System
A Crosstalk-Driven Multilevel Routing System
Up
Down
Left
Right
Zoom In
Zoom Out
Show Cell
Show Pin Name
Switch Layers
Show all layers
Query a net
Exit

集成电路与EDA



- 当今先进的集成电路的规模已经达到数十亿个器件。如何设计如此复杂的电路系统？

答案是EDA (Electronic Design Automation)

- 集成电路的发展与EDA的发展是相辅相成的
  - EDA的发展支撑了更大规模、更复杂的集成电路的设计，从而产生更好性能的计算机
  - 基于更先进计算平台的EDA技术又可支持新一代芯片的设计

EDA Lab

什么是EDA？



- 广义定义
  - 半导体工艺设计自动化
  - 可编程器件（FPGA/CPLD）设计自动化
  - 电子系统设计自动化
  - 印刷电路板（PCB）设计自动化
  - 仿真与测试、故障诊断自动化
  - 形式验证自动化

EDA Lab

什么是EDA技术？



- 狭义定义
  - 以计算机为工具
  - 以硬件描述语言HDL为系统逻辑描述手段
  - 计算机自动完成逻辑编译、化简、分割、综合、优化、布局、布线和仿真测试

也就是说，设计者可以利用软件的方式，即HDL语言和EDA软件来完成对系统硬件功能的实现

EDA Lab

EDA技术及其发展



- FPGA只是EDA技术的一个分支。

- EDA技术在硬件实现方面，融合了大规模集成电路制造技术、IC版图设计技术、专用集成电路ASIC 测试和封装技术、FPGA和CPLD编程下载技术等

EDA Lab

EDA技术及其发展

- 在计算机辅助工程方面融合了计算机辅助设计、制造、测试、工程技术以及多种计算机语言的设计概念

- 在现代电子学方面，则容纳了电子线路设计理论、数字信号处理技术、嵌入式系统和计算机设计技术、数字系统建模和优化技术及微波技术等

EDA Lab

EDA技术及其发展

- 早期模拟时代的电子设计基本是人工的：从预订的功能和性能出发，选择适当的电路结构和元器件，基于经验与部分理论，在实验线路板上反复调试。

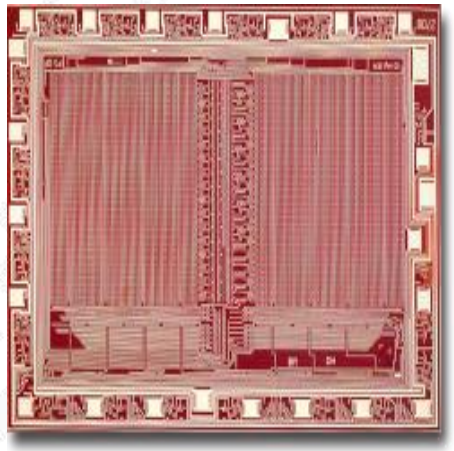


Courtesy TI
122 Transistors

纸上设计



Courtesy RCA– CMOS Test Pattern



Courtesy Intel and NY Museum of Modern Art EPROM

切割红宝石制作掩膜

EDA技术及其发展



◆20世纪80年代：

FPGA、各种硬件描述语言出现；

CAE、CAD技术的应用更为广泛；

集原理图输入、逻辑模拟、测试生成、电路模拟、版图设计于一体的设计软件系统CAE工作站（集成开发环境）出现。

◆设计方法：自底向上，仍需人工设计电路原理图。

◆LSI、VLSI时代到来，单芯片器件数万至数十万个，出现ASIC概念。

EDA Lab

EDA技术及其发展



- 20世纪90年代：

  低成本大规模ASIC设计技术得到应用；

  从寄存器传输级开始的逻辑综合基本成熟；

  高层次行为综合开始出现；

  EDA技术进入成熟阶段。

- 设计方法：自顶向下，层次式设计。

- 单片集成电路规模达上千万~亿个器件。在ASIC基础上发展的可编程逻辑器件应用逐渐广泛。

EDA Lab

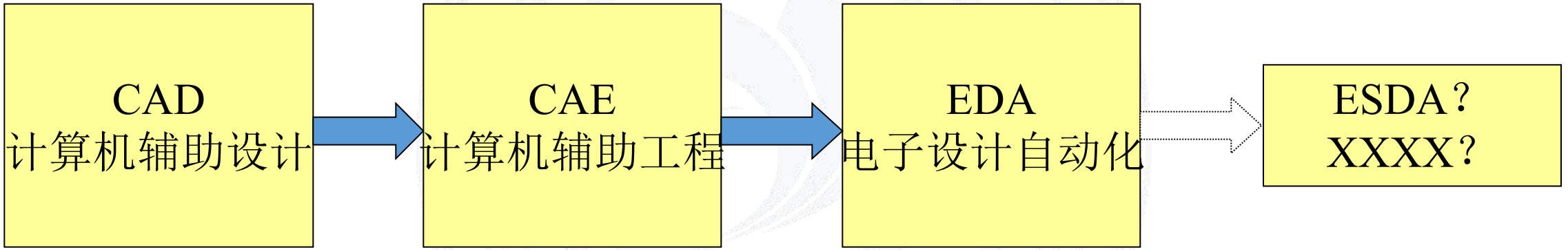
EDA技术及其发展



- 21世纪后，更大规模的FPGA和CPLD器件的不断推出。
- 基于EDA工具的用于ASIC设计的标准单元已涵盖大规模电子系统及复杂IP核模块。
- 系统级、行为验证级硬件描述语言使复杂电子系统的设计趋于更加高效和简单。
- C综合技术开始应用于复杂EDA软件工具

NANJING YOU DIANZI UNIVERSITY

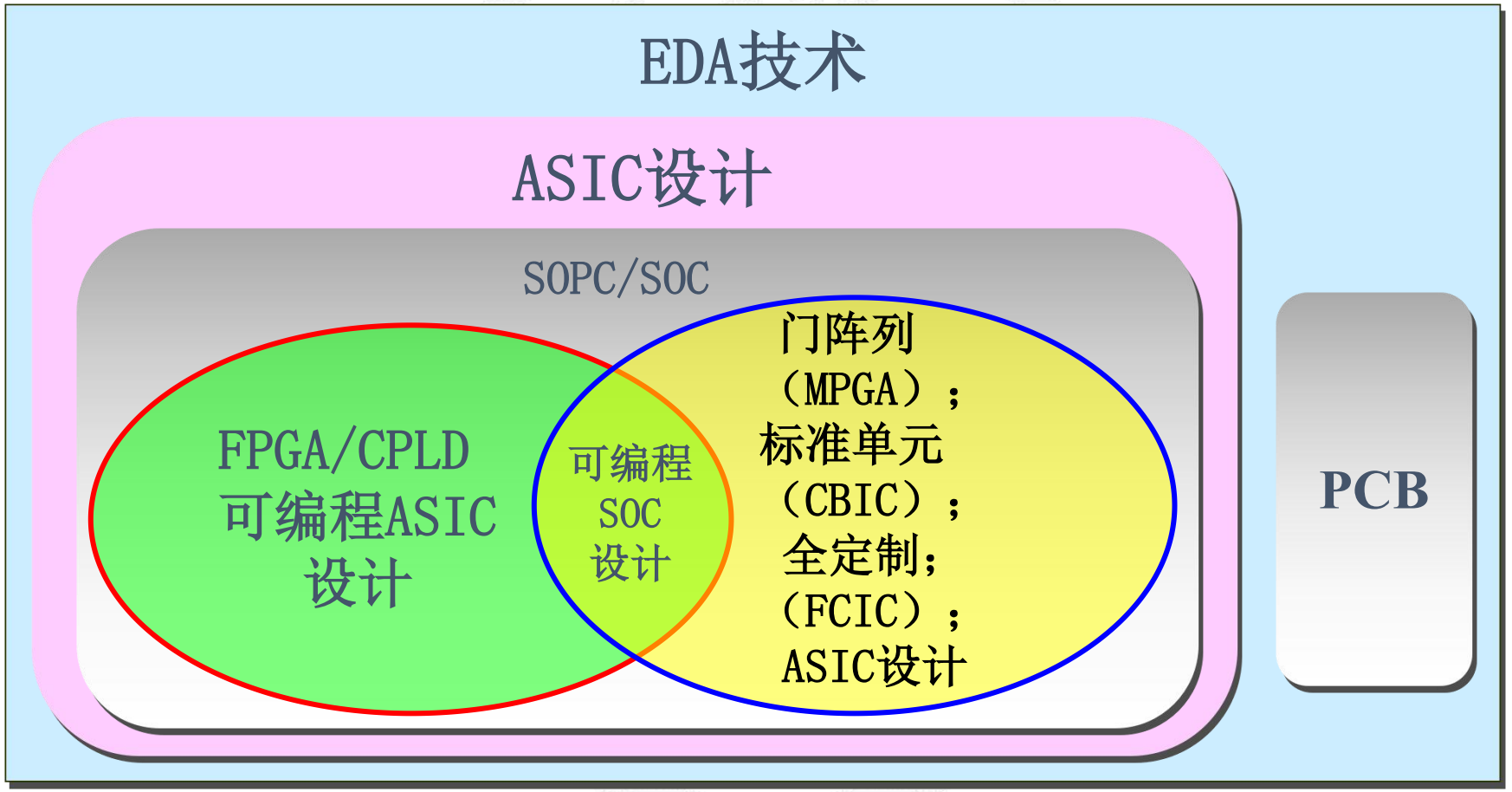
EDA技术及其发展



EDA技术发展历程

EDA Lab

EDA技术实现目标



EDA Lab

EDA技术实现目标



1. 可编程逻辑器件：

FPGA和CPLD是实现这一途径的主流器件，又被称为可编程ASIC。

2. 半定制或全定制ASIC

（1）门阵列ASIC：将原理图或硬件描述语言模型映射为门阵列晶体管配置。

（2）标准单元ASIC：利用库（Library）中的不同大小的标准单元设计的。

（3）全定制ASIC：设计者对电路的设计拥有完全的控制权。

3. 可编程SoC：

既含有面向用户的FPGA可编程功能和逻辑资源，同时也含可方便调用和配置的硬件标准单元模块。

EDA Lab

FPGA背景

- 不同的FPGA厂商的产品





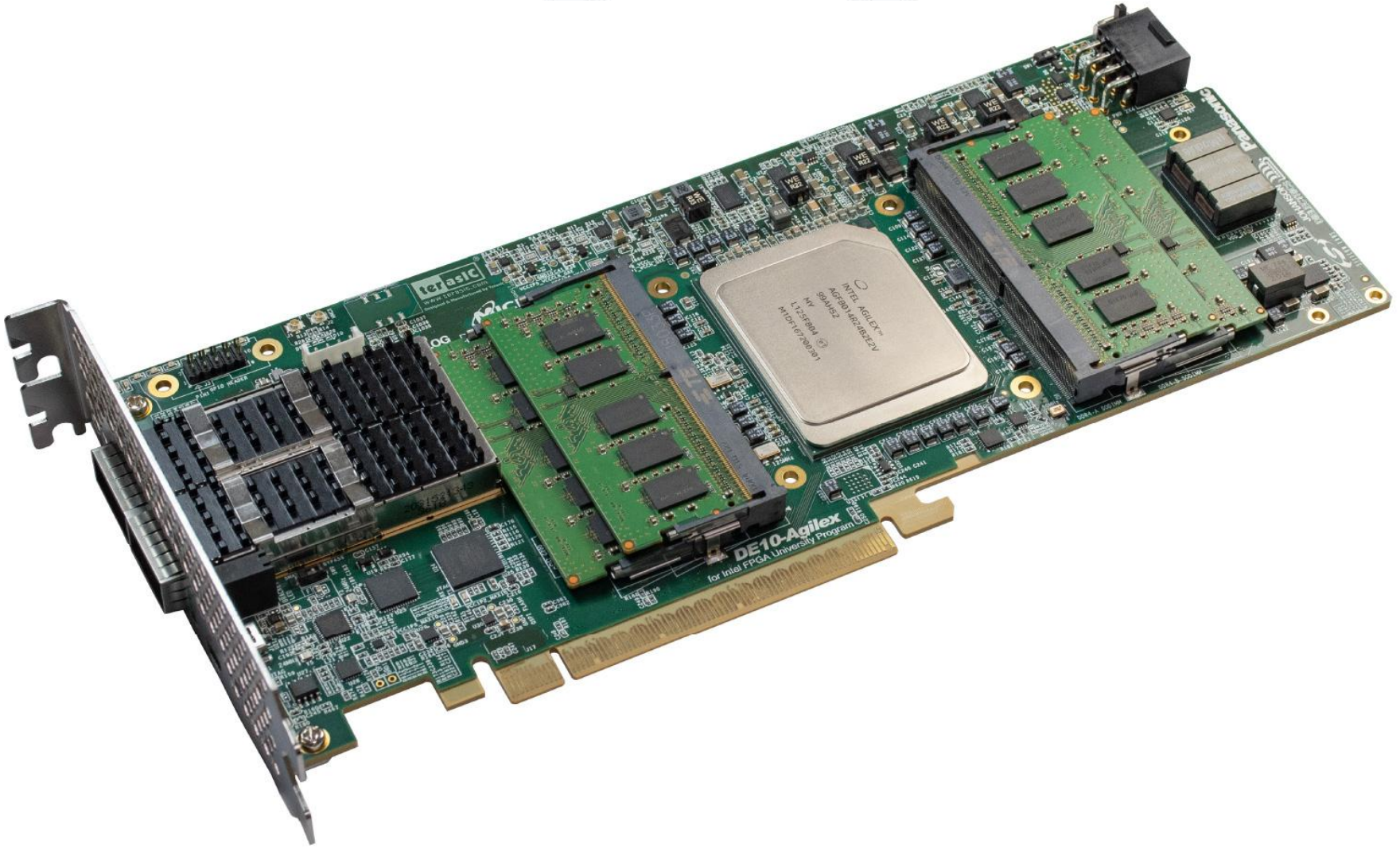
Altera公司产品

2015年Intel以167亿美元收购了Altera，2024年又分拆为独立公司

EDA Lab


LIBERTY
2006


ALTERA
MAX 10
aXelsys


terasIC
DE10-Agilex
for Intel FPGA University Program



Xilinx公司产品



Xilinx已被AMD收购

FPGA厂家



AMD

altera™

LATTICE SEMICONDUCTOR

Microsemi | a MICROCHIP company

achronix SEMICONDUCTOR CORPORATION

紫光同创 PANGOMICRO

GOWIN高云 智慧逻辑 定制未来

ALOGIC

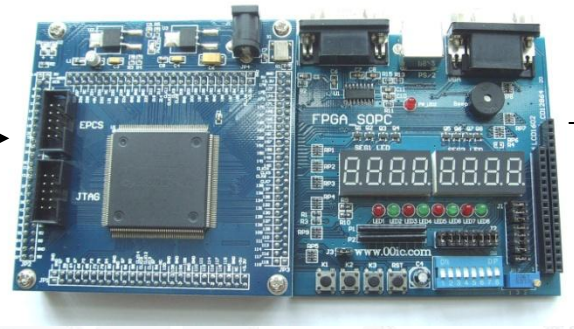
京微齐力



EDA Lab

FPGA具有可重构性

数码管驱动器HDL代码 → 编译综合 → 配置文件 → 下载 →



→



电子音乐器HDL代码 → 编译综合 → 配置文件 → 下载 →



→



路由器HDL代码 → 编译综合 → 配置文件 → 下载 →



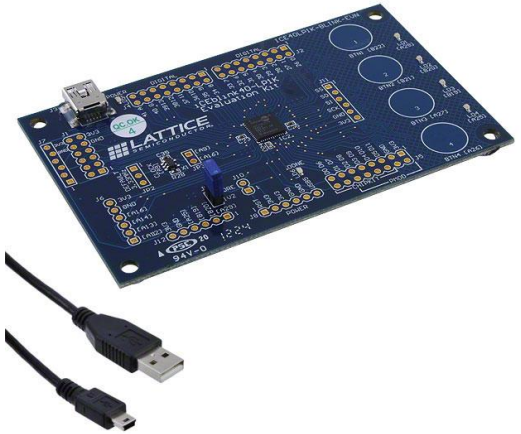
→





EDA Lab

FPGA应用

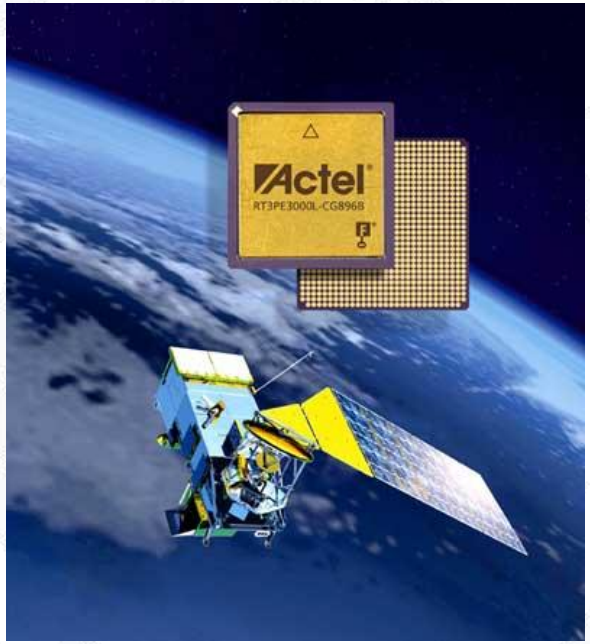




Lattice‘s mobile FPGA，
其中iCE40系列器件功耗最低至25 μW，最小封装尺寸仅为1.40 mm X 1.48 mm x 0.45 mm。

- 智能手机
  - 智能手机依赖于应用处理器芯片，往往需要2至3年的时间开发，周期太长。
  - 越来越多的 FPGA 专门针对小尺寸、低价、功耗敏感的消费电子设备——特别是智能手机而设计。

FPGA应用



- 比如航天中的信号处理、对于主控CPU的协助、对于数据采集、通信协议实现等。

硬件描述语言HDL



- HDL：
  - Hardware Description Language
  - 硬件描述语言

VHDL

Verilog HDL

在EDA设计中使用最多，也得到几乎所有主流EDA工具的支持。

SystemVerilog

还处于完善过程中，主要加强了系统验证方面的功能。

System C

EDA Lab

硬件描述语言HDL

Verilog HDL：

- 由GDA公司于1983年创建，起初作为该公司Verilog-XL仿真器的内部语言。
- 1989年，GDA公司被Cadence公司收购，Verilog语言成为Cadence公司私有财产。
- 1990年，Cadence公司成立OVI组织，公开Verilog语言。

EDA Lab

硬件描述语言HDL

Verilog HDL：

- 1995年，IEEE制定Verilog HDL第一个国际标准，IEEE Std 1364-1995, 即Verilog 1.0。
- 2001年，IEEE发布Verilog HDL第二个标准，IEEE 1364-2001，即Verilog 2.0, 简称为Verilog-2001标准，这个版本也是Verilog HDL的最主流版本。

EDA Lab

硬件描述语言HDL

Verilog HDL的优点：

- 代码简明扼要，使用灵活，且语法规定不是很严谨，容易上手。
- 具有很强的电路描述和建模能力，能从多个层次对数字系统进行建模和描述。
- 在语言易读性、层次化和结构化设计方面表现了强大的生命力和应用潜力。

HANGZHOU DIANZI UNIVERSITY 1956

硬件描述语言HDL



- VHDL：
  - 1983年由美国国防部发起创建，由IEEE进一步发展并在1987年作为IEEE Std 1076.
  - 创建的最初目标是用于标准文档的建立和电路功能模拟。
  - 90年代初，人们发现，VHDL不仅可以作为系统模拟的建模工具，而且可以作为电路系统的设计工具，可以利用软件工具将VHDL源码转化为文本方式表达的基本逻辑元件连接图，即网表文件。

EDA Lab

硬件描述语言HDL



- VHDL：
  - 1993年，IEEE公布VHDL版本，IEEE 1076-1993。
  - 2008年，IEEE公布VHDL新版本，IEEE 10762008。
  - 现在，VHDL与Verilog一样成为IEEE的工业标准硬件描述语言。

EDA Lab

硬件描述语言HDL



其他常用HDL：

SystemVerilog：在Verilog-2001的基础上作了扩展，将Verilog语言推向了系统级空间和验证级空间，极大地改进了高密度、基于IP、总线敏感的芯片设计效率。

System C：是C++语言的硬件描述扩展，主要用于ESL（电子系统级）建模和验证。可以使用任何标准C++编译环境进行编译，生成可执行文件，运行可执行文件。

Chisel：基于Scala语言的敏捷开发型硬件描述语言。

EDA Lab

硬件描述语言HDL

VHDL和verilog的区别：

VHDL	Verilog HDL
entity 实体名 is	module 模块名（端口列表）
port（端口说明 ）	输入/输出端口说明
end	
architecture 结构体名 of 实体名 is	
说明部分；	变量类型说明；
begin	
代入语句；	assign 语句 （连续赋值语句）；
元件语句；	元件例化语句；
进程语句；	always @ 块语句；
end 结构体名；	endmodule

EDA Lab

硬件描述语言HDL



VHDL

```
library ieee;
Use ieee.std_logic_1164.all;

entity mux4 is
   port(
         s      : in std_logic_vector(1 downto 0);
         a,b,c,d: in std_logic_vector(7 downto 0);
         y      : out std_logic_vector(7 downto 0)
       );
End mux4;


architecture rtl of mux4 is
begin
   process(a,b,c,d,s)
      begin
      case s is
         when "00"    =>y<=a;
         when "01"    =>y<=b;
         when "10"    =>y<=c;
         when others =>y<=d;
      End case;
   End process
End rtl;
```

Verilog

```
module kmux4_1(s,a,b,c,d,y);
   input [1:0] s;
   input [7:0] a,b,c,d;
   output [7:0] y;

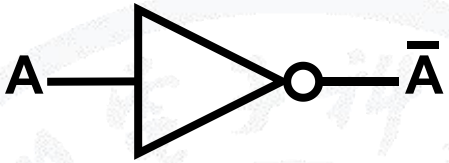
   reg [7:0] y;

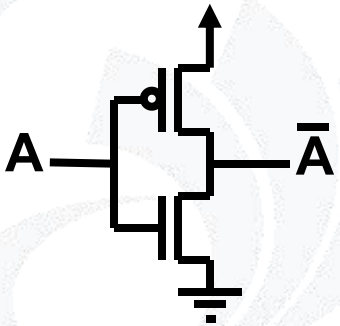
   always@(a,b,c,d,s)
   begin
      case(s)
         2'b00 : y = a;
         2'b01 : y = b;
         2'b10 : y = c;
         default: y = d;
      endcase
   end
endmodule
```

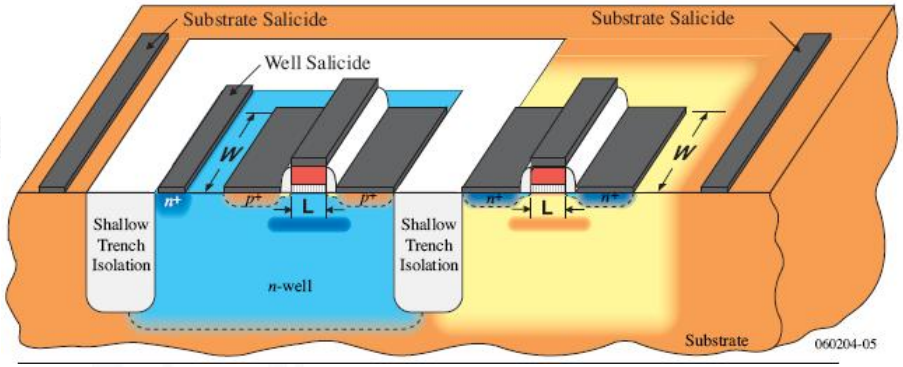
EDA Lab

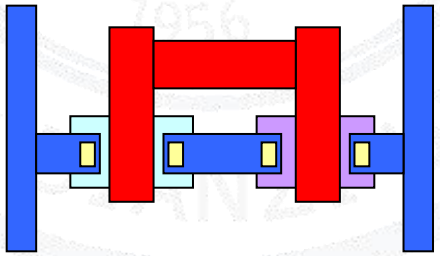
电路描述层次（设计层次）

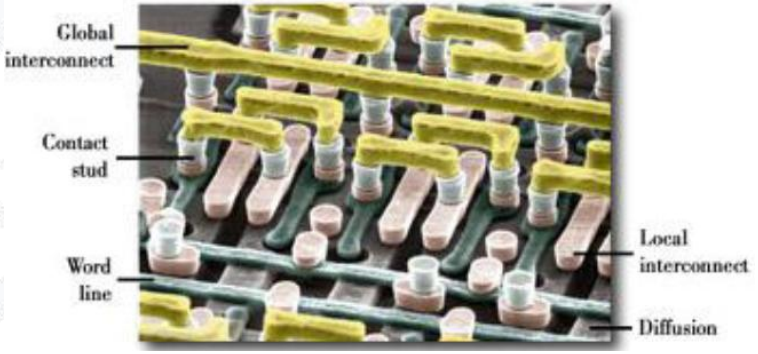
- 系统级（ESL）
- 行为级（BL）
- RTL级（寄存器传输级）
- 门级
- 开关级/管子级（MOS级别）
- 物理级（版图级）



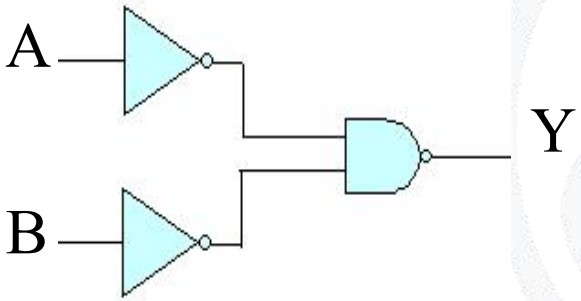


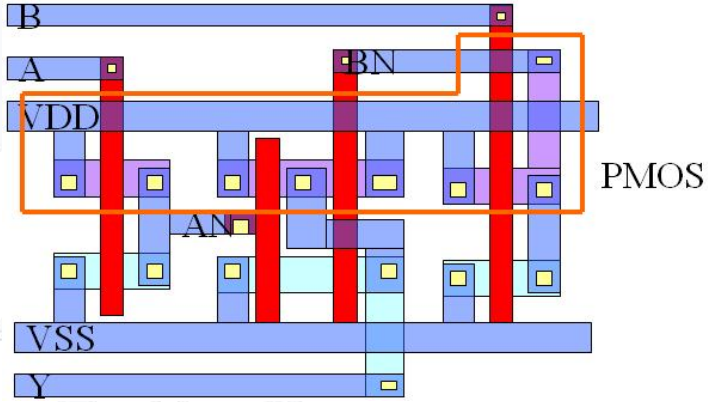






电路描述层次





HDL综合（Synthesis）



- HDL综合：
  - 把HDL描述转化为门级电路描述

- Synthesis（综合）：
  - 字面含义：通过组合某些模块，把设计抽象层次中的一种表示转化为另一种表示的过程

- EDA中的综合：
  - 将用行为和功能层次表达的电子系统转换为低层次的便于具体实现的模块的组合的过程

EDA Lab

HDL综合（Synthesis）

概念：将用行为和功能层次表达的电子系统转换为低层次的便于具体实现的模块组合装配的过程。

从自然语言转换到**Verilog HDL**语言算法表述	→	自然语言综合
从算法表述转换到寄存器传输级（**Register Transport Level，RTL**）表述	→	行为综合
从**RTL**级表述转换到逻辑门**(**包括触发器**)**的表述	→	逻辑综合
从逻辑门表示转换到版图级表述**(ASIC**设计**)**，或转换到**FPGA**的配置网表文件，	→	版图综合或结构综合

有了版图信息就可以把芯片生产出来了；有了对应的配置文件，就可以使对应的**FPGA**变成具有专门功能的电路器件了。

EDA Lab

HDL综合（Synthesis）



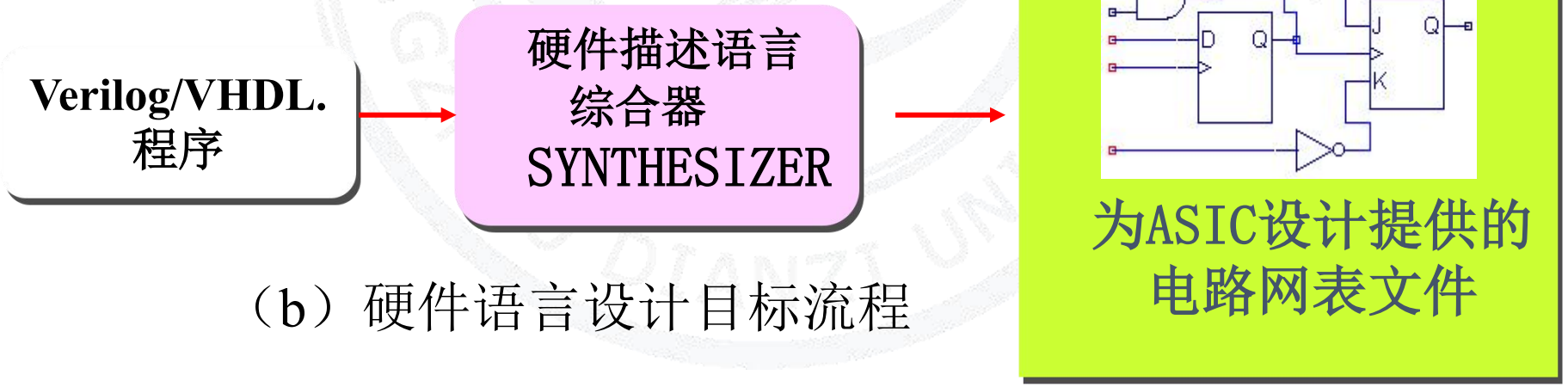
- 综合是让设计者在高抽象层次进行系统设计并利用综合工具将设计转化为低层次的表述。
- 类似于用高级语言编程并用编译器将程序编译成机器代码。
- 设计者可以将精力集中于系统级问题上，而不必关心低级结构设计的细节问题，因此减少设计和编程的时间，减少错误发生。

EDA Lab

HDL综合（Synthesis）



（a）软件语言设计目标流程



（b）硬件语言设计目标流程

EDA Lab

HDL综合（Synthesis）



综合器与编译器的区别

- 编译器

  将软件程序翻译成基于某种特定CPU的机器代码；

  仅限于这种CPU而不能移植；

  运行除了CPU的硬件结构外，不需要任何与硬件相关的器件库和工艺库。

- 综合器

  转化的目标是底层的电路结构网表文件；

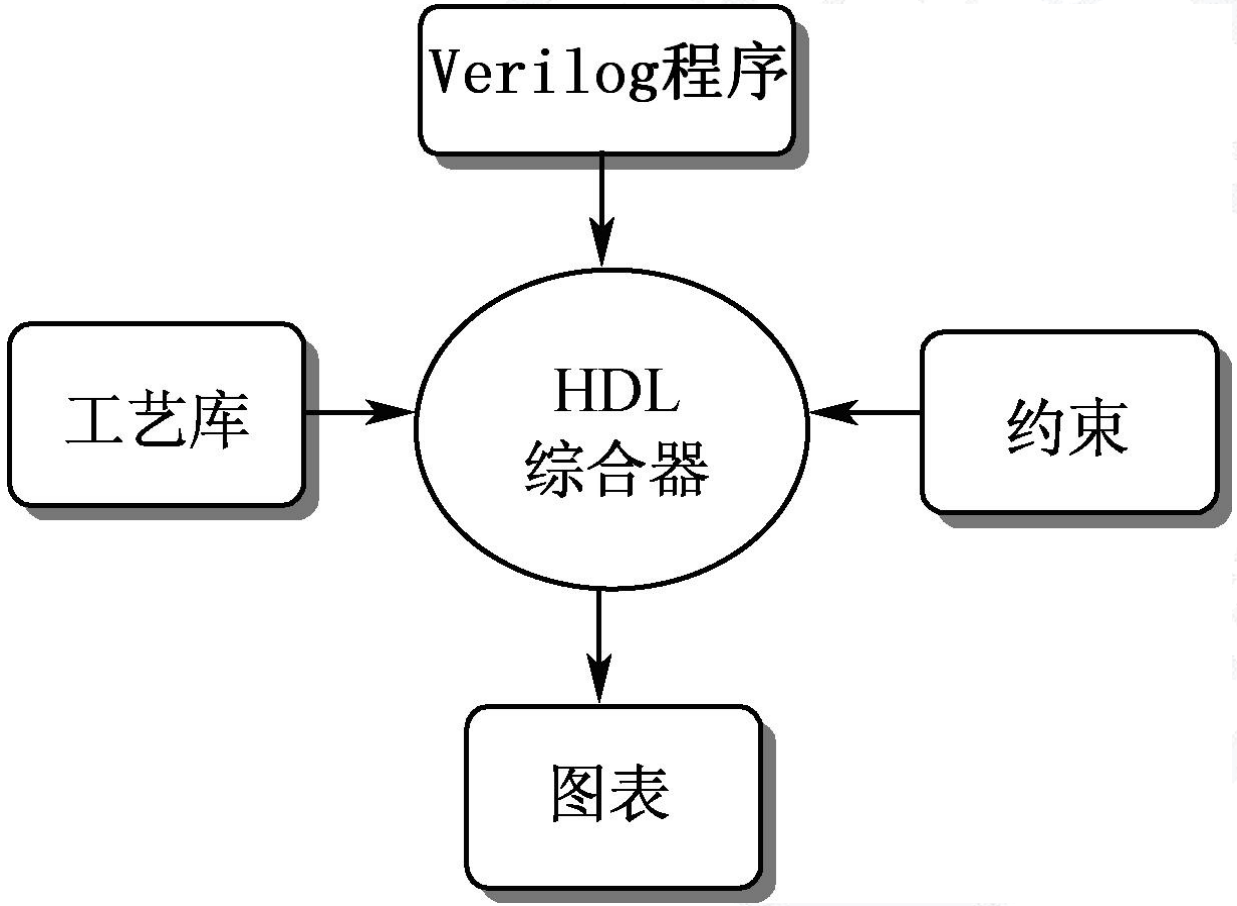
  能轻易被移植到任何通用硬件环境中；

  在综合过程中，是根据各类约束条件，选择最优方案完成电路结构设计。

EDA Lab

HDL综合（Synthesis）

与编译器相比，综合器具有更复杂的工作环境。



EDA Lab

HDL综合（Synthesis）



- 综合器在综合前，必须获得工艺库的信息以及诸多约束条件。
- 约束条件一般分为三种：设计规则、时间约束、面积约束。
- 综合器的任务是选择一种充分满足各项约束条件且成本最低的电路实现方案。

EDA Lab

自顶向下的设计技术



- 传统的电子设计技术，通常是自底向上的：
  - 门级
  - 使用中小规模逻辑器件
  - RTL
  - 行为级
  - 系统级

EDA Lab

自顶向下的设计技术

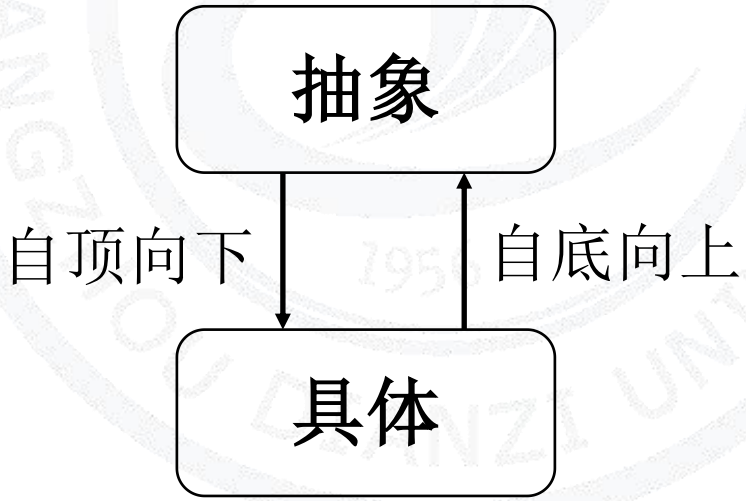
- 使用自底向上的设计方法，必须首先决定使用的器件类别和规格，然后是构成多个功能模块，最后利用它们完成整个系统的设计。
- 在整个过程中，始终必须顾及具体目标器件的技术细节，任何一级发生问题，通常都不得不返工重来。
- 多数情况下，自底向上的设计方法是一种低效、低可靠性、费时费力、且成本高昂的设计方案。

EDA Lab

自顶向下的设计技术

一个并不严谨的类比：

- 自底向上的设计方法，就好比先获得积木。
- 而自顶向下的设计方法，就好比先获得搭积木的设计说明书。



EDA Lab

自顶向下的设计技术



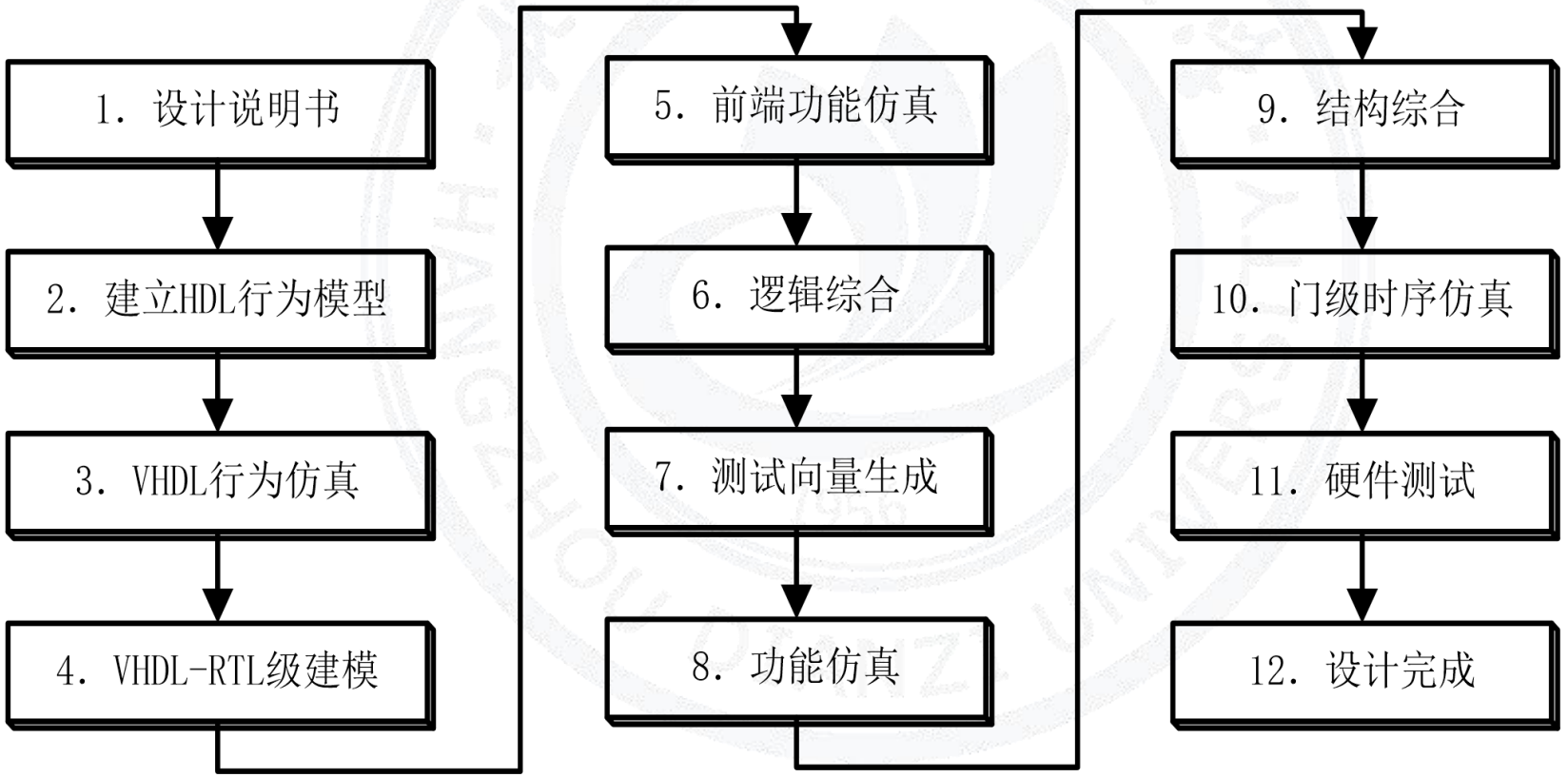
自顶向下设计方法：

- 需要EDA工具，具备HDL、ASIC制造工艺和FPGA开发技术。
- 是EDA技术的首选设计方法。
- 设计的下一步是基于当前设计，即使发现问题或作新的修改，也不妨碍整体的设计效率。
- 前期设计可以容易地应用于新的设计项目，设计周期可以大大缩短。

EDA Lab

自顶向下的设计技术

自顶向下的设计方法使系统被分解为各个模块的集合之后，可以对设计的每个独立模块指派不同的工作小组。下图给出了自顶向下设计流程的框图说明，它包括如下设计阶段。



EDA Lab

自顶向下的设计技术



自顶向下设计流程：

（1）提出设计说明书。

即用自然语言表达系统项目的功能特点和技术参数等。

（2）建立HDL行为模型。

这一步是将设计说明书转化为HDL行为模型，不必考虑可综合性。

（3）HDL行为仿真。

这一阶段可以利用Verilog/VHDL仿真器对顶层系统的行为模型进行仿真测试，检查模拟结果，继而进行修改和完善。

EDA Lab

自顶向下的设计技术



自顶向下设计流程：

（4）HDL-RTL级建模。

在这一阶段，将Verilog/VHDL的行为模型表达为行为代码。

（5）前端功能仿真。

在这一阶段对HDL-RTL级模型进行仿真。

（6）逻辑综合。

使用逻辑综合工具将Verilog/VHDL行为级描述转化为结构化的门级电路。

EDA Lab

自顶向下的设计技术

自顶向下设计流程：

（7）测试向量生成。

这一阶段主要是针对ASIC设计的。

（8）功能仿真。

利用测试向量对ASIC的设计系统和子系统的功能进行仿真。

（9）结构综合。

主要将综合产生的逻辑连接关系网表文件，进行结构优化配置。

EDA Lab

自顶向下的设计技术

自顶向下设计流程：

（10）门级时序仿真。

在这一步，将带有从布局布线得到的精确时序信息映射到门级电路重新进行仿真，以检查电路时序，并对电路功能进行最后检查。

（11）硬件测试。

这是对最后完成的硬件系统进行检查和测试。

EDA技术的优势

传统数字电子系统或IC设计的缺点：

- 传统的数字电子系统或IC设计中，手工设计占了较大的比例。
- 手工设计的一般流程：
  - （1）按电子系统的具体功能要求进行功能划分
  - （2）对每个子模块画出真值表
  - （3）用卡诺图进行手工逻辑简化，写出布尔表达式
  - （4）画出相应的逻辑线路图
  - （5）选择元器件，设计电路板
  - （6）进行实测与调试

EDA Lab

EDA技术的优势

传统数字电子系统或IC设计的缺点

- 手工设计占较大比例。
- 复杂电路的设计和调试都非常困难。
- 如果某一过程存在错误，查找和修改十分困难。
- 设计过程中产生大量文档，不易管理。
- 可移植性差。
- 只有在设计出样机或生产出芯片后才能进行实测。

EDA Lab

EDA技术的优势

- （1）在电子设计的各个阶段和层次都可以进行计算机的模拟验证，保证设计过程的正确性。
- （2）有各类库的支持。
- （3）简化设计文档的管理。
- （4）能对所设计的电子系统从不同层次进行准确测试和仿真。极大提高大规模系统电子设计的自动化程度。

EDA Lab

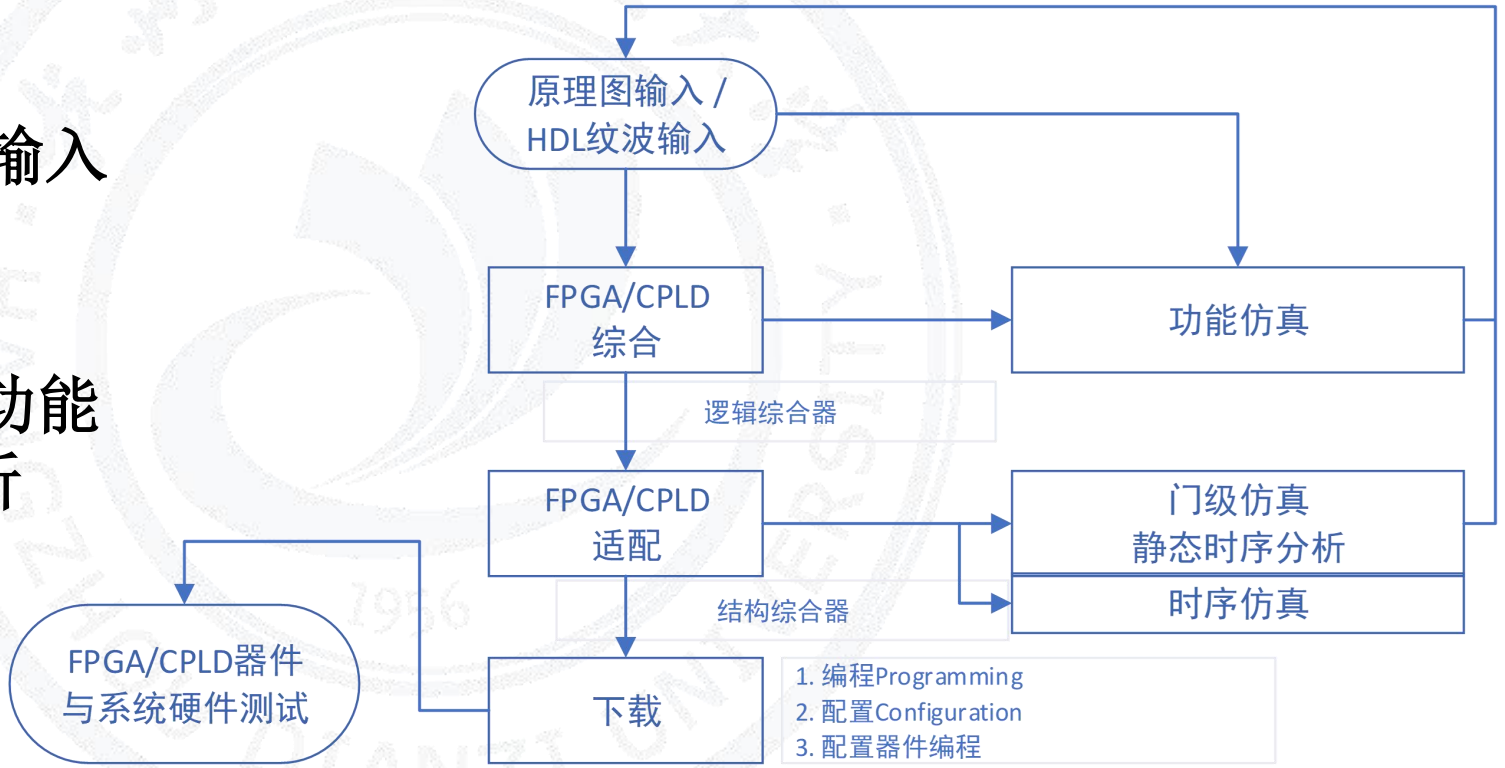
EDA技术的优势

- （5）基于EDA技术的设计，设计者拥有完全的自主权。
- （6）EDA技术的设计语言标准化，开发工具规范化，设计成果通用性，良好的可移植与可测试性，为系统开发提供了可靠的保证。
- （7）能将所有设计环节纳入统一的自顶向下的设计方案中。
- （8）整个设计流程上充分利用计算机的自动设计能力，

EDA Lab

用于FPGA的EDA设计流程

1 设计输入
   (1). 图形输入
   (2). HDL文本输入
2 综合
3 适配
4 时序仿真、门级功能仿真与静态时序分析
   (1). 时序仿真
   (2). 功能仿真
5 编程下载
6 硬件测试



设计输入（原理图/HDL文本编辑）



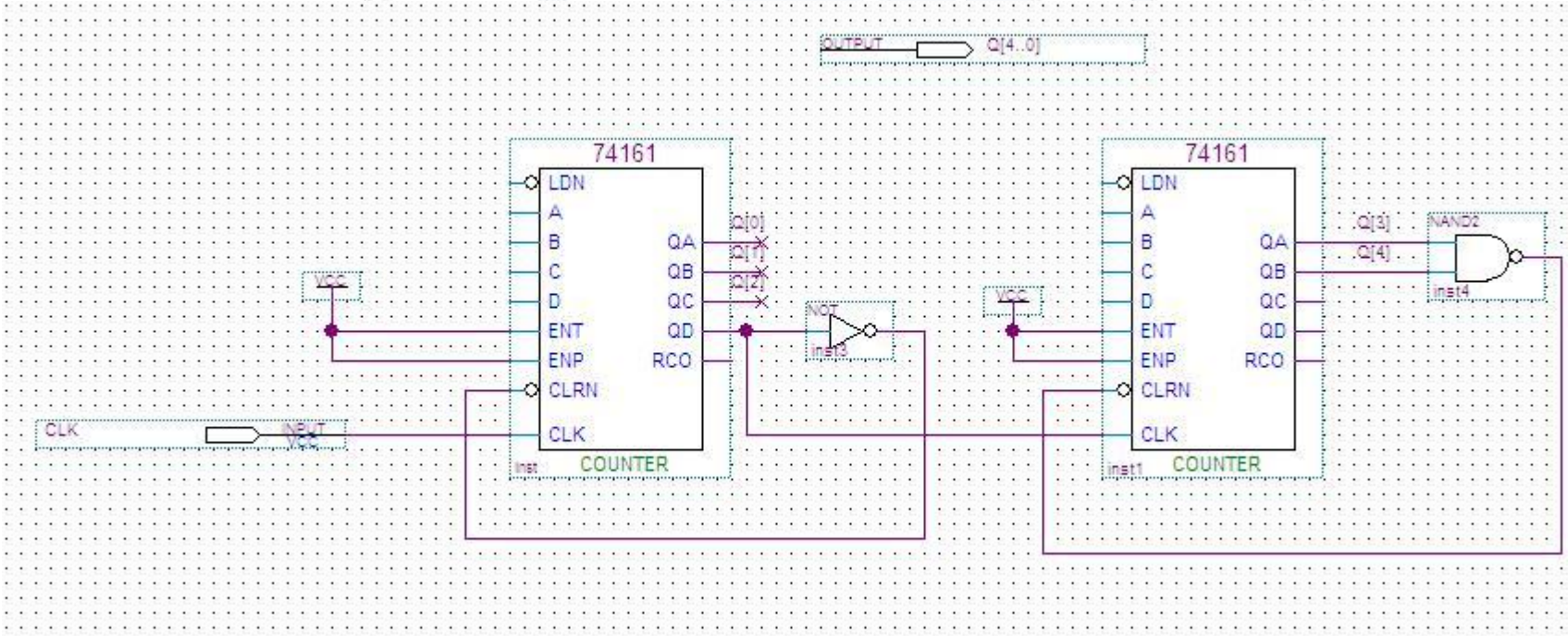
- **图形输入**
  - **状态图输入：**用绘图的方法，在EDA工具的状态图编辑器上绘出状态图，然后由EDA编译器和综合器将此状态变化流程图编译综合成电路网表。
  - **波形图输入：**将待设计电路看成是一个黑盒子，只需告诉EDA工具黑盒子电路的输入和输出时序波形图，EDA工具能据此完成黑盒子电路的设计。

EDA Lab

设计输入（原理图/HDL文本编辑）

◆图形输入

- **原理图输入：**原理图编辑器将对输入的图形文件进行排错，之后再将其编译成适用于逻辑综合的网表文件。



设计输入（原理图/HDL文本编辑）



HDL文本输入

- 将使用了某种硬件描述语言的电路设计文本，如VHDL或Verilog HDL的源程序，进行编辑输入。
- 这种方式与传统的计算机软件语言编辑输入基本一致，克服了原理图输入法存在的所有弊端。

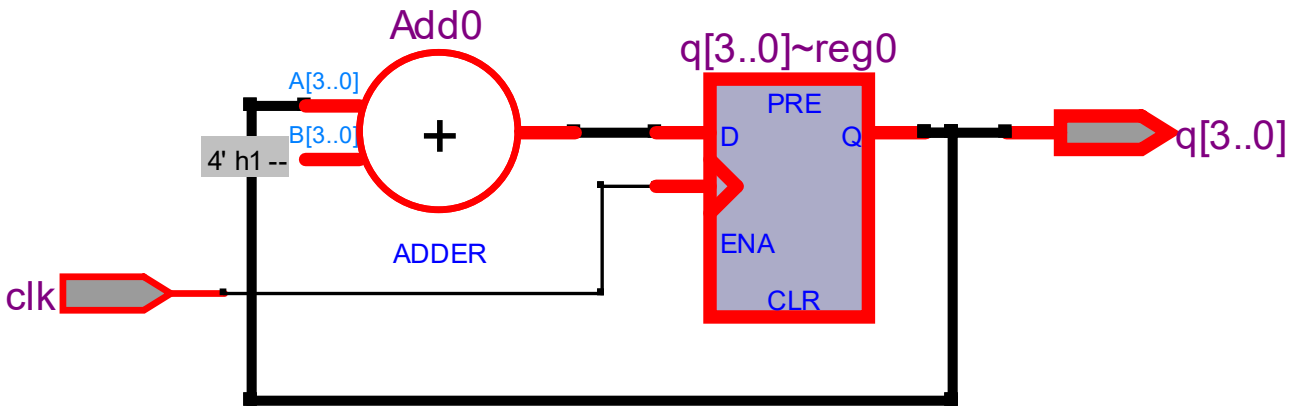
EDA Lab

设计输入（原理图/HDL文本编辑）

计数器的Verilog描述

```
module cnt4(clk,q);
input clk;
output [3:0] q;
reg [3:0]  q;
always @(posedge clk)  begin
            q = q + 1;
end
endmodule
```

```
module cnt4(input clk,output reg[3:0] q);
always @(posedge clk)  q = q + 1;
endmodule
```



设计输入（原理图/HDL文本编辑）



- 有些EDA输入工具可以把图形的直观与HDL的优势结合起来
  - 状态图输入的编辑方式。

    用图形化方式表示状态图，当填好时钟信号名、状态转换条件、状态机类型等要素后，就可以自动生成Verilog/VHDL程序。
  - 原理图输入的编辑方式。

    连接用HDL描述的各个电路模块，直观地表示系统的总体框架，再用自动HDL生成工具生成相应的VHDL或Verilog程序。

EDA Lab

综合

- 整个综合过程，就是将HDL文本、原理图或状态图形描述，依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合，最终获得门级电路甚至更底层的电路描述网表文件。
- 由此可见，综合器工作前，必须给定最后实现的硬件结构参数，它的功能就是将软件描述与给定的硬件结构用某种网表文件的方式对应起来，成为相应的映射关系。

EDA Lab

适配

- 适配器也称**结构综合器**，它的功能是将综合器产生的网表文件配置于指定的目标器件中，使之产生最终的下载文件。

- 适配所选定的目标器件必须属于原综合器指定的目标器件系列。

EDA Lab

适配

- 逻辑综合通过后必须利用适配器将综合后网表文件针对某一具体的目标器件进行逻辑映射操作。

- 适配完成后可以利用适配所产生的仿真文件作精确的时序仿真，同时产生可用于编程的文件。

EDA Lab

时序仿真与功能仿真

- **时序仿真**：接近真实器件运行特性的仿真，仿真精度高。

- **功能仿真**：直接对逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计的要求。

EDA Lab

静态时序分析



- 时序和功能仿真都基于有系统激励输入的仿真验证，属于**动态时序分析**
- 如果纯粹分析电路各个部分的延迟，则需进行**静态时序分析**，它可用参数直观评价电路的性能
- 现代EDA工具往往通过使用门级功能仿真和静态时序分析来联合验证评估电路的功能与性能

HANGZHOU DIANZI UNIVERSITY 1956

编程下载



- 把适配后生成的下载或配置文件，通过编程器或编程电缆向FPGA或CPLD下载，以便进行硬件调试和验证。
- 通常，将对CPLD的下载称为编程（Program），对FPGA中的SRAM进行直接下载的方式称为配置（Configure）,但对于反熔丝结构和Flash结构的FPGA的下载和对FPGA的专用配置ROM的下载仍称为编程。

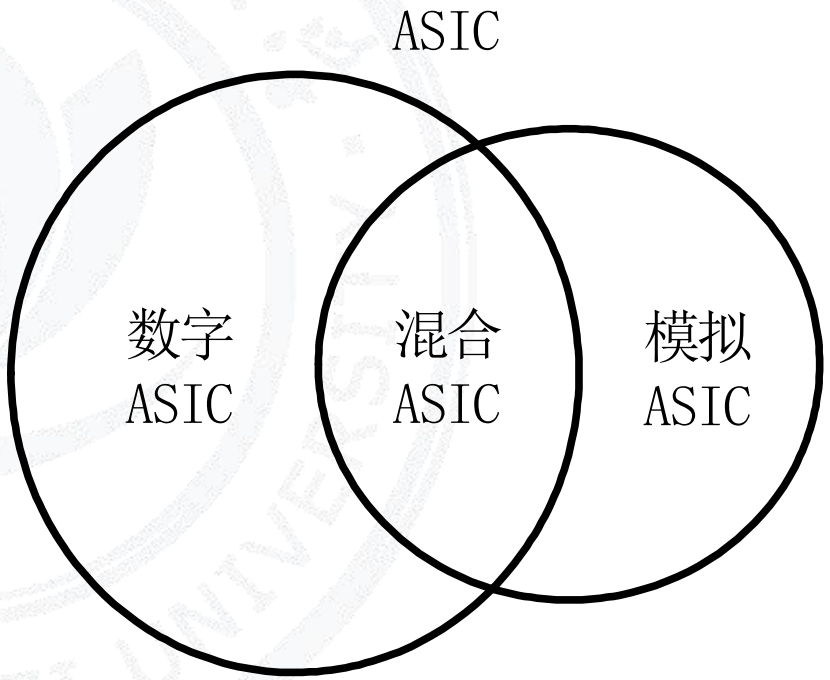
EDA Lab

硬件测试

- 最后是将含有载入了设计文件的FPGA或CPLD的硬件系统进行统一测试，以便最终验证设计项目在目标系统上的实际工作情况，以排除错误，改进设计。

ASIC及其设计流程

ASIC(Application Specific Integrated Circuits，专用集成电路)是相对于通用集成电路而言的，ASIC主要指用于某一专门用途的集成电路器件。ASIC按功能分类大致可分为数字ASIC、模拟ASIC和数模混合ASIC。



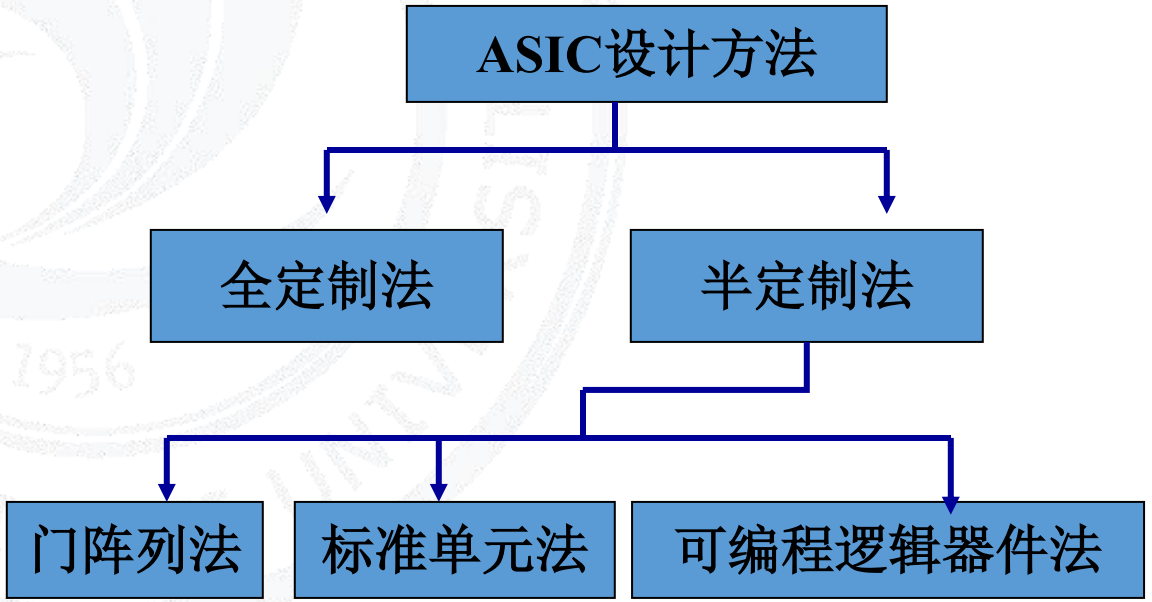
EDA Lab

ASIC及其设计流程

按版图结构及制造方法分，有半定制(Semi-custom)和全定制(Full-custom)两种实现方法。

全定制方法 是一种基于晶体管级的，手工设计版图的制造方法。

半定制法 是一种约束性设计方式，约束的目的是简化设计，缩短设计周期，降低设计成本，提高设计正确率。



EDA Lab

ASIC及其设计流程

全定制法

- 基于晶体管级的、手工设计版图的制造方法。
- 缺点：人工参与的工作量大，设计周期长，而且容易出错。
- 优点：面积利用率最高，性能较好，功耗较低，有利于降低设计成本，提高芯片的集成度和工作速度，以及降低功耗。
- 常见于：通用中小规模IC/模拟IC/射频IC

EDA Lab

ASIC及其设计流程



半定制法

（1）门阵列法：

将晶体管作为最小单元重复排列组成基本阵列，预先设计和制造好各种规模的母片(master slice)。

- 优点：涉及的工艺少，模式规范，涉及自动化程度高，设计周期短，造价低，适合于小批量ASIC设计。
- 缺点：芯片面积利用率低，灵活性差，对设计限制过多。

EDA Lab

ASIC及其设计流程

（2）标准单元法：

建立在完善的标准单元库基础上，将这些标准单元按照特定的规则排列成阵列，根据电路功能和要求进行连接。

优点：

- 比门阵列法具有更加灵活的布图方式。
- 标准单元预先存在单元库中，可以极大地提高设计效率。
- 可以从根本上解决布通率问题，达到了100%布通率。

缺点：当工艺更新之后，标准单元库要随之更新，这是一项十分繁重的工作。

EDA Lab

ASIC及其设计流程

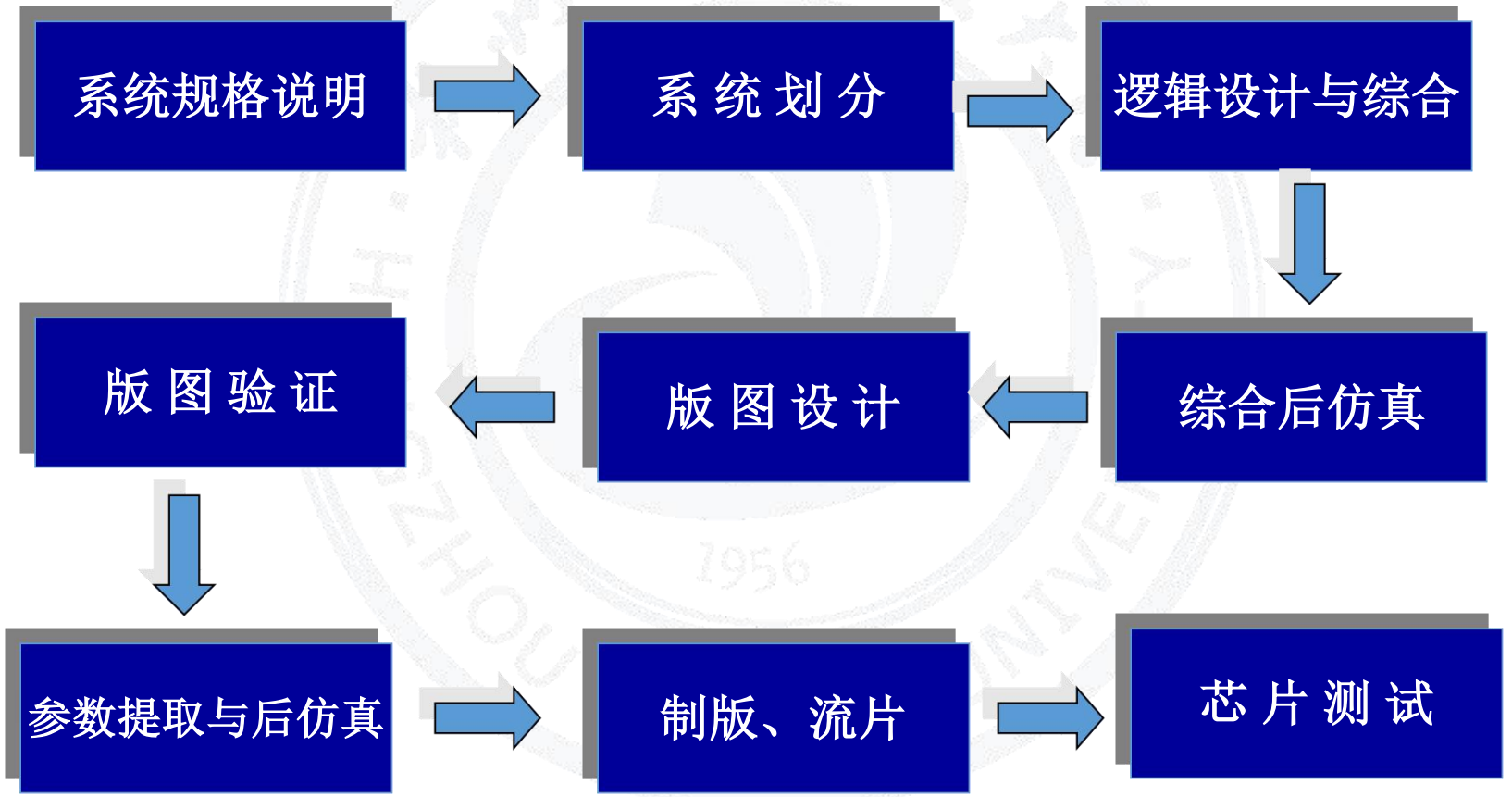
（3）可编程逻辑器件法：

用可编程器件设计用户定制的数字电路系统。

- 优点：设计效率大为提高，上市时间缩短。
- 缺点：ASIC性能、速度和单位成本相对全定制或标准单元法设计的ASIC都不具备竞争性，也不可能用可编程ASIC去取代通用产品。

EDA Lab

ASIC及其设计流程



EDA Lab

ASIC及其设计流程

- （1）系统规格说明。

  建立系统的行为模型，进行可行性验证。

- （2）系统划分。

  将系统分割成各个功能子模块，验证各个功能块的行为模型。

- （3）逻辑设计与综合。

  将划分的各个子模块用文本（网表或硬件描述语言）、原理图等进行具体逻辑描述。

EDA Lab

ASIC及其设计流程

- （4）综合后仿真。

  对网表文件进行仿真验证。

- （5）版图设计。

  将逻辑设计中每一个逻辑元件、电阻、电容以及它们之间的连线转换成集成电路制造所需要的版图信息。

- （6）版图验证。

  主要包括版图原理图对比、设计规则检查、电器规则检查。

EDA Lab

ASIC及其设计流程

- （7）参数提取与后仿真。

  进行版图的电路网表提取、参数提取，把提取的参数反注至网表文件，进行最后一步仿真验证工作。

- （8）制版、流片。

  送IC生产线进行制版、光罩和流片，进行试验性生产。

- （9）芯片测试。

  测试芯片是否符合设计要求，并评估成品率。

EDA Lab

常用EDA工具

本节主要介绍当今广泛使用的以开发FPGA和CPLD为主的EDA工具，及部分关于ASIC设计的EDA工具。

EDA工具大致可以分为如下5个模块：

- 设计输入编辑器
- HDL综合器
- 仿真器
- 适配器(或布局布线器)
- 下载器
- 静态时序分析器

EDA Lab

常用EDA工具



设计输入编辑器

- HDL文本输入方式用普通的文本编辑器即可完成。如需语法敏感色彩提示，有UltraEdit, Vim, XEmacs等。
- 有的EDA工具把图形设计和HDL文本设计相结合，文本编辑的同时提供状态机编辑，如Mentor公司的FPGA Advantage、Active HDL中的Active State等。

EDA Lab

常用EDA工具



HDL综合器

- 比较常用、性能良好的FPGA设计的HDL综合器有：
  - Synopsys公司的Synplify Pro综合器
  - Synopsys公司的DC-FPGA综合器
  - Siemens EDA（原Mentor）的Precision RTL Synthesis综合器
- 综合器的使用也有两种模式：
  - 图形模式
  - 命令行模式(Shell模式)

EDA Lab

常用EDA工具



HDL综合器

- HDL综合器一般要经过两个步骤：
  - 对Verilog/VHDL进行分析处理，将其转成相应的电路结构或模块。
  - 对实际实现的目标器件的结构进行优化，并使之满足指定目标器件硬件特征的各种约束条件，优化关键路径等。
- HDL综合器输出的文件一般是网表文件，如EDIF格式。

EDA Lab

常用EDA工具



仿真器

- 按处理的硬件描述语言，HDL仿真器可分为：
  - VHDL仿真器
  - Verilog HDL仿真器
  - Mixed 混合HDL仿真器，如ModelSim
  - 其他HDL仿真器
- 按仿真时是否考虑硬件延时分类，HDL仿真器可分为功能仿真和时序仿真。
- 按仿真的电路描述级别的不同，HDL仿真器可以单独或综合完成以下各仿真步骤

(1) 系统级仿真。

(2) 行为级仿真。

(3) RTL级仿真。

(4)门级时序仿真。

EDA Lab

常用EDA工具



仿真器

- 按仿真器对设计语言不同的处理方式分类，可分为编译型仿真器和解释型仿真器：
  - 编译型仿真器的仿真速度较快，但需要预处理，因此不便即时修改。 -> ModelSim
  - 解释型仿真器的仿真速度一般，可随时修改仿真环境和条件。
- 常用的仿真器
  - Mentor ModelSim/Siemens EDA的Questa Sim
  - Synopsys VCS
  - Cadence NC-Sim

EDA Lab

常用EDA工具

- **适配器**
  - 布局布线器/结构综合器
  - 适配器的任务是完成目标系统在器件上的布局布线。
  - 适配器最后输出的是各厂商自己定义的下载文件，以下载到器件中实现设计。
- **下载器**
  - 下载器的功能是把设计下载到对应的实际器件，实现硬件设计。

EDA Lab

EDA软件提供商

- Synopsys
- Cadence
- Siemens EDA（MENTOR GRAPHICS）
- www.synopsys.com
- www.cadence.com
- www.mentor.com

EDA Lab

常见FPGA/CPLD集成开发环境



1、 ALTERA （Intel PSG ）： Quartus

2、AMD（ XILINX ）：Vivado、ISE

3、MicroChip（ MicroSemi ）： Libero

4、Lattice Semi：Diamond 、iCEcube2、 ispLevel



EDA Lab

Quartus概述



- Quartus是Intel(Altera)提供的FPGA/CPLD开发集成环境，在21世纪初推出，是Altera前一代FPGA/CPLD集成开发环境MAX+Plus II的更新换代产品，其界面友好，使用便捷。
- Quartus II 设计工具完全支持Verilog、VHDL的设计流程，其内部嵌有Verilog、VHDL逻辑综合器。

EDA Lab

Quartus概述

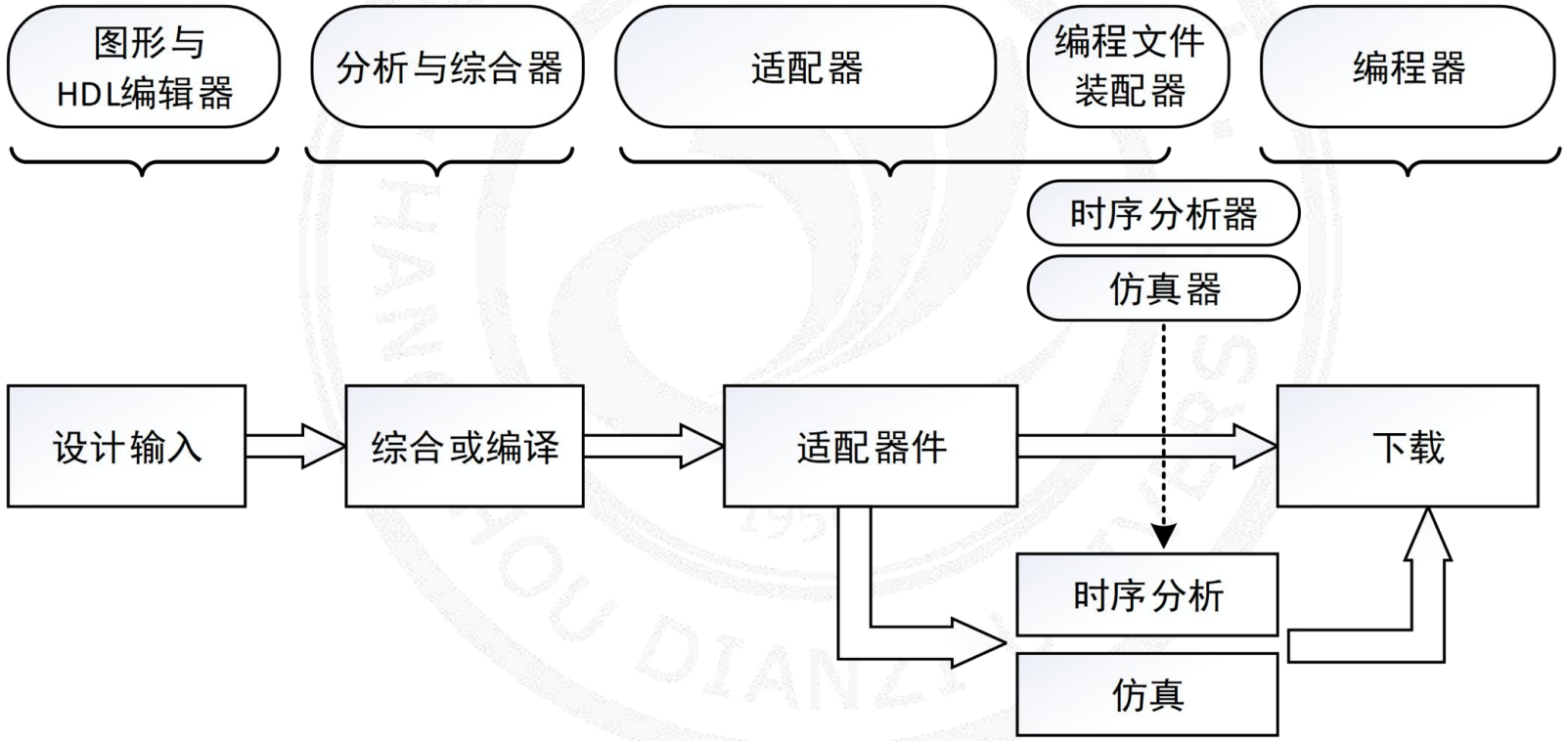


- Quartus II 可以利用第三方的综合工具，同时支持第三方的仿真工具，如ModelSim。
- Quartus II包括模块化的编译器。

EDA Lab

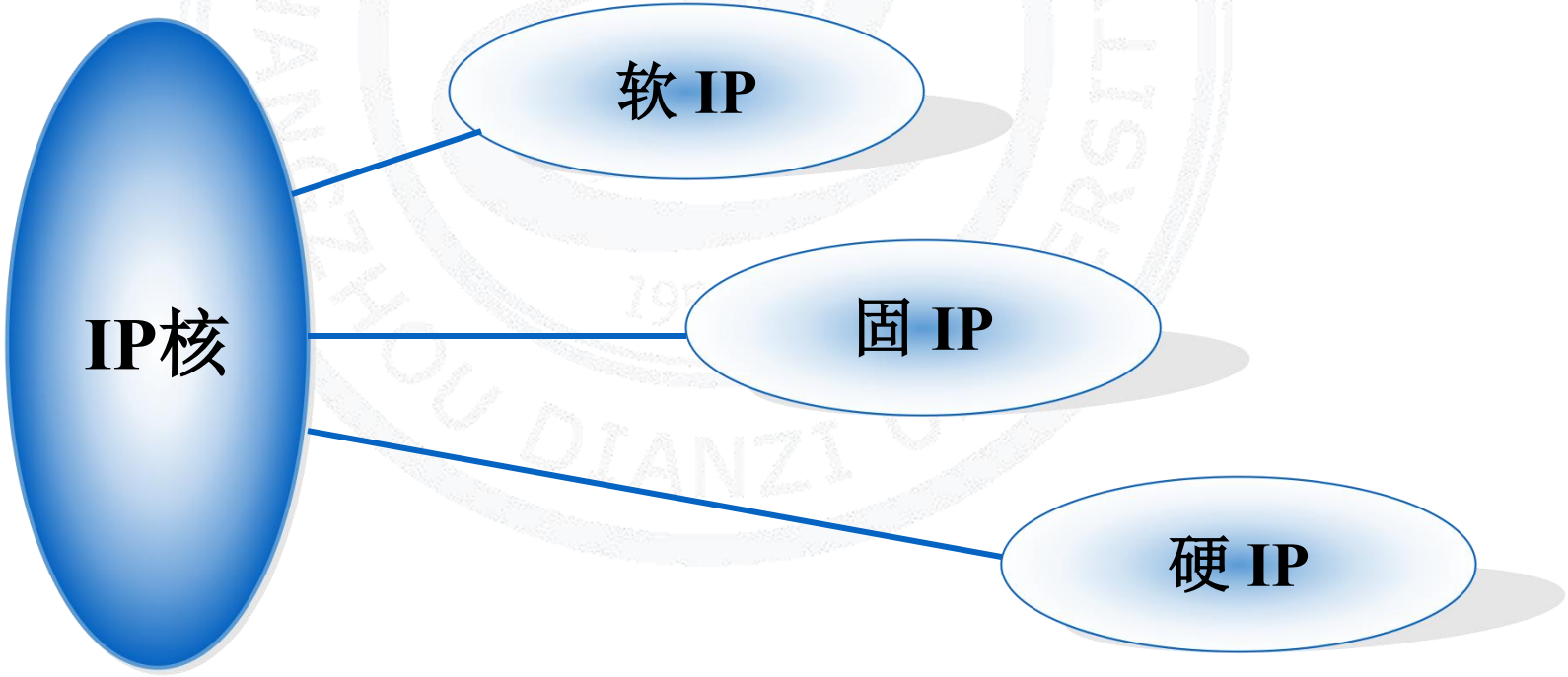
Quartus概述

上排所示的是Quartus编辑设计的主要内容，下排所示的流程框图是与上面的设计流程相对照的标准的EDA开发流程。



IP核

- IP就是知识产权核或知识产权模块的意思，在EDA技术开发中具有十分重要的地位。
- 另一个IP核的定义是：用于ASIC或FPGA中的预先设计好的电路功能模块。



EDA Lab

IP核



- 软IP是用Verilog/VHDL等硬件描述语言描述的功能块，但是并不涉及用什么具体电路元件实现这些功能。

- 通常以HDL源文件形式出现，应用开发过程与普通HDL设计也十分相似。

HANGZHOU DIANZI UNIVERSITY 1956

IP核

- 优点：设计周期短，设计投入少。由于不涉及物理实现，为后续设计留有很大的发挥空间，增大了IP的灵活性和适应性。

- 缺点：在一定程度上使后续工序无法适应整体设计，从而需要一定程度的软IP修正，在性能上也不可能获得全面的优化。

IP核



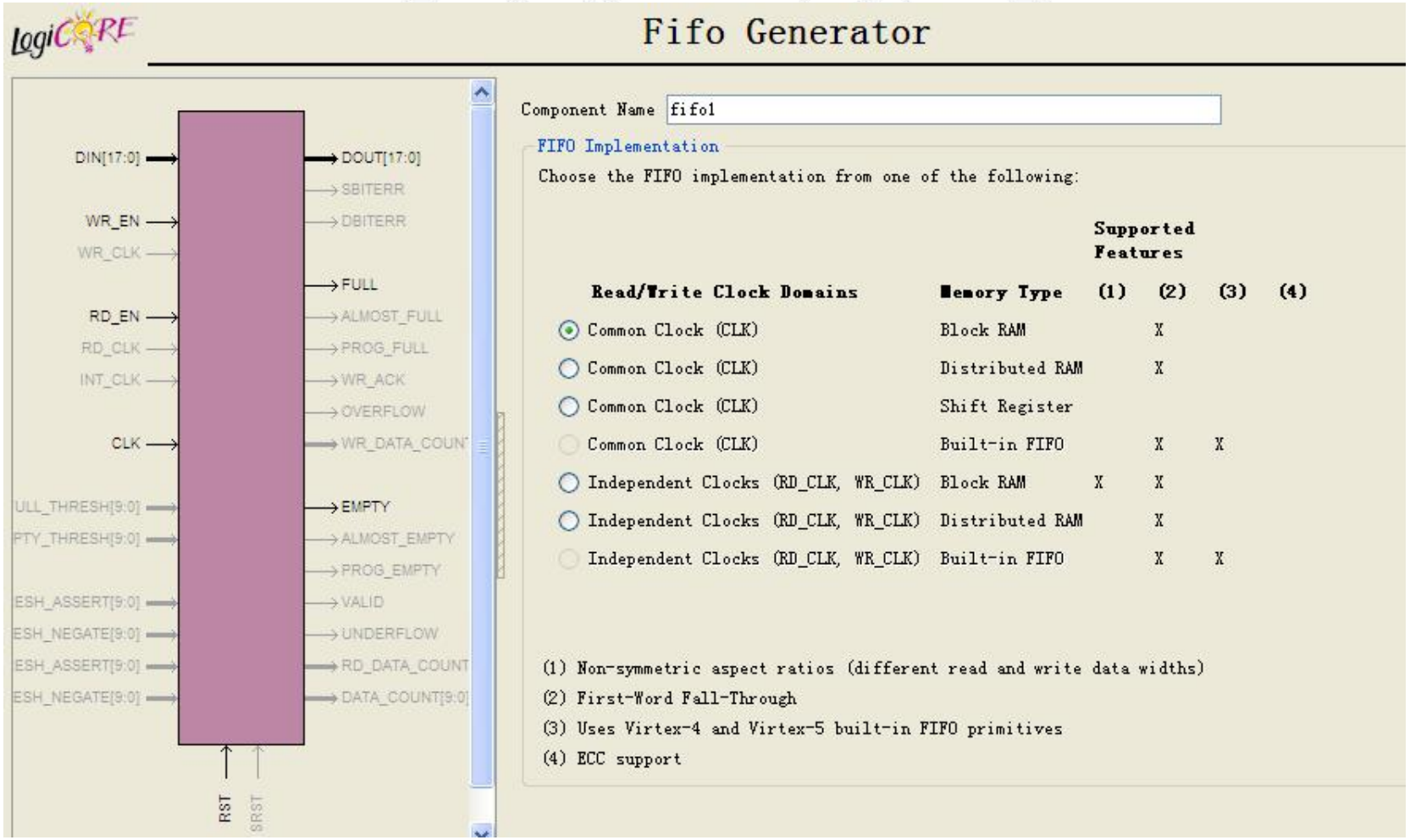
- 固IP：完成了综合的功能块
- 有较大的设计深度，以网表文件的形式提交客户使用。

- 硬IP：提供设计的最终阶段产品——掩模
- 随着设计深度提高，后续工序所需要做的事情就越少，灵活性也越小。FPGA厂家提供“硬件”IP，即将一些功能在出厂时就固化在芯片中。

EDA Lab

IP核

一个IP核的例子：



EDA Lab

IP核



今天的IP：

- IP库已经包含了如8051，ARM，PowerPC等微处理器，TMS320C50等数字信号处理器，MPEG-4、JPEG、H.264等压缩/解压缩器等大规模IP模块。
- IP库广开设计源头，汇集优秀模块。
- IP的明确界定与内涵：
  - 必须是为了易于重用而按嵌入式应用专门设计的。
  - 必须是实现IP模块的优化设计。
  - 要符合IP标准。

EDA Lab

EDA技术发展趋势管窥

- （1）在一个芯片上完成系统级的集成已成为可能。
- （2）可编程逻辑器件开始进入传统的ASIC市场。
- （3）市场对电子产品提出更高的要求，促使EDA工具和IP核应用更为广泛。
- （4）高性能的EDA工具，为嵌入式系统设计提供了功能强大的开发环境。

EDA Lab

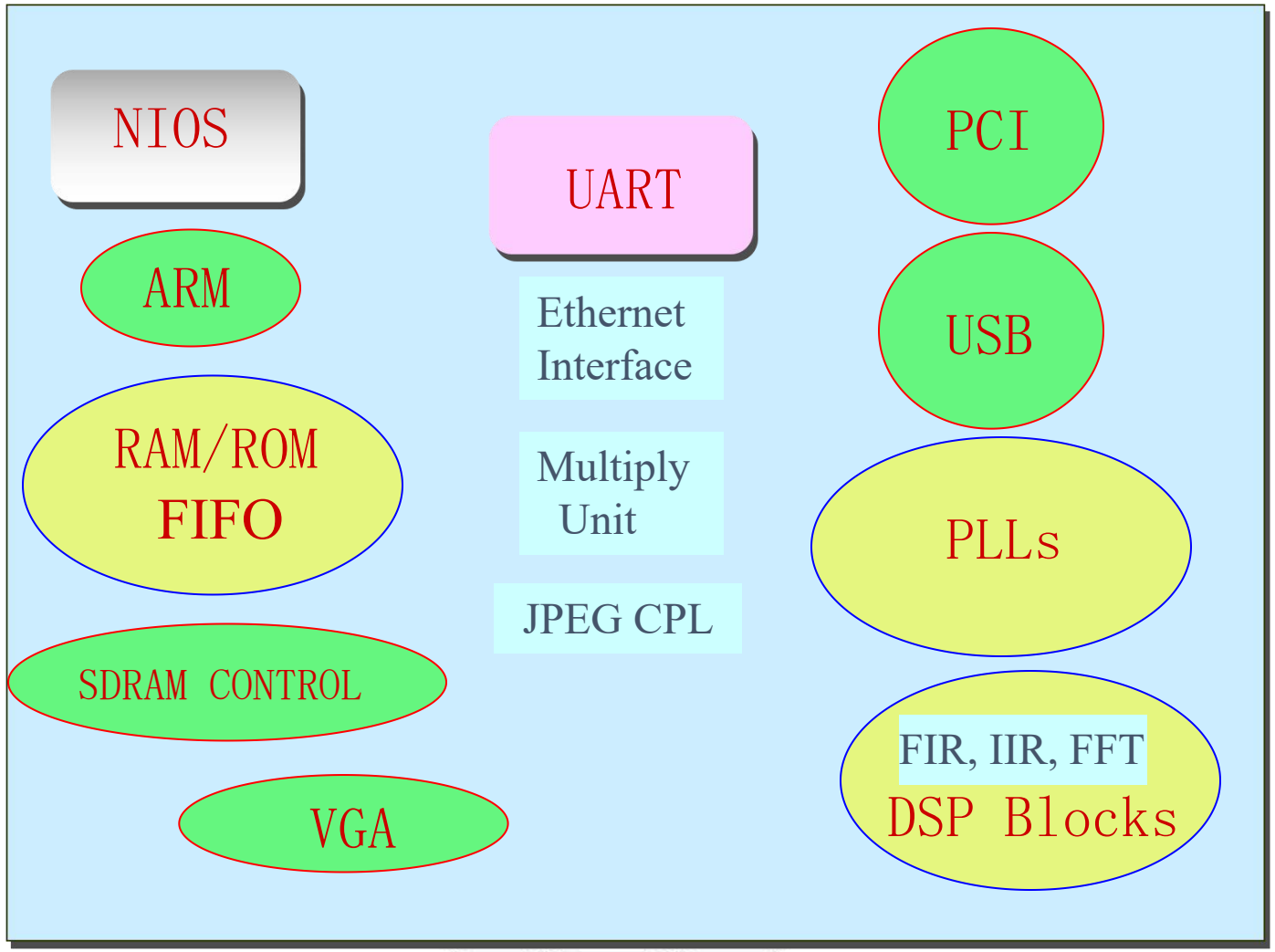
EDA技术发展趋势管窥

- （5）计算机硬件平台性能大幅度提高，为复杂的SOC设计提供了物理基础。
- （6）人们正在尝试在同一平台上用高级语言如C/C++与HDL进行混合仿真。
- （7）ASIC和FPGA将更大程度互相融合。

HANGZHOU DIANZI UNIVERSITY 1956

EDA Lab

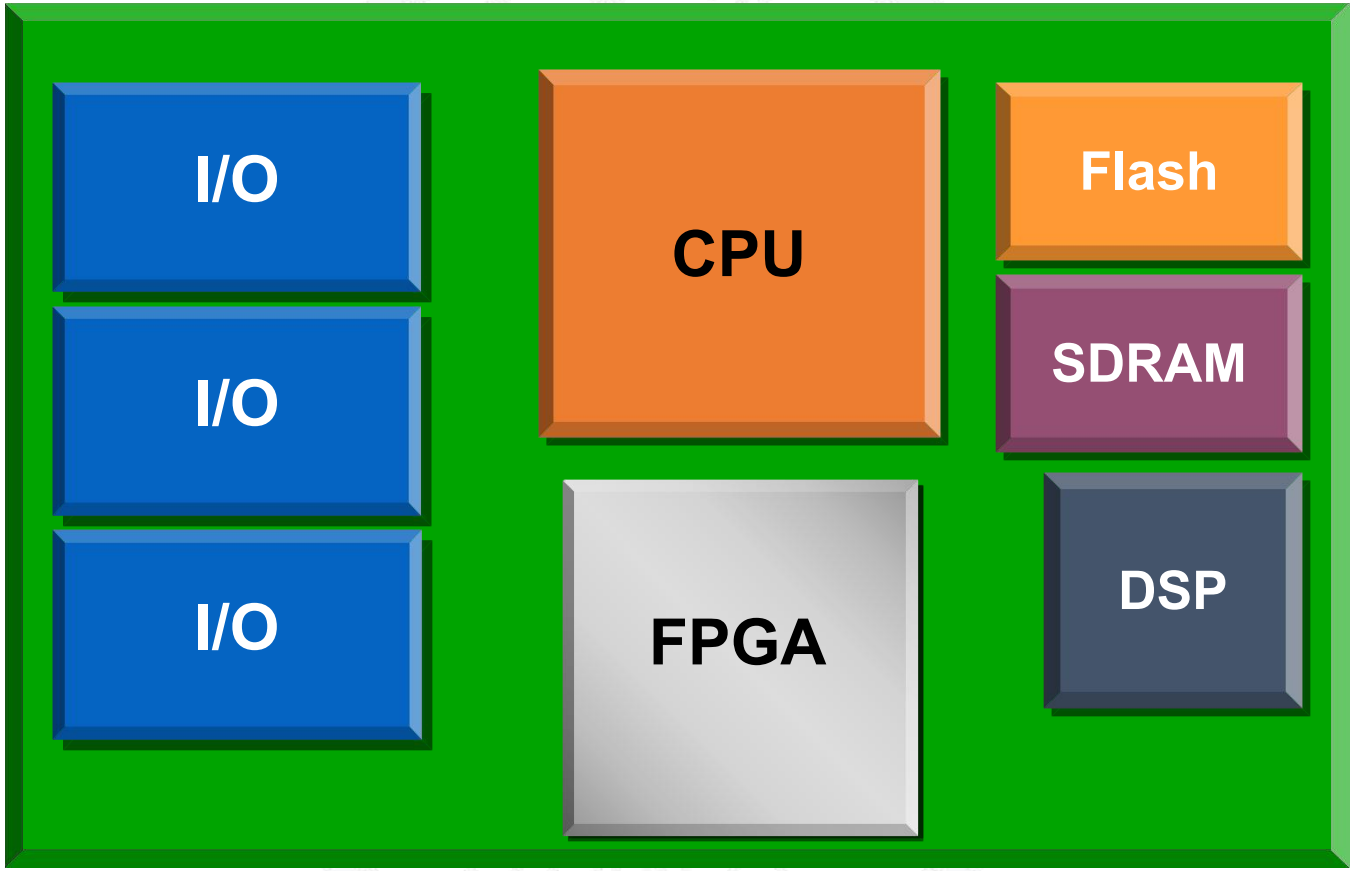
SOPC



SOC: SYSTEM ON A CHIP

SOPC: SYSTEM ON A PROGAMMABLE CHIP

问题提出： 降低成本、系统复杂度和功耗



解决方案:用可编程逻辑替代外扩器件