EDA技术

第2章 FPGA与CPLD的结构原理



《EDA技术实用教程——Verilog HDL版》
（第七版）
配套课件

EDA Lab

第2章 FPGA与CPLD的结构原理



2.1 PLD概述：发展历程和分类

2.2 简单PLD结构原理：PROM, PLA, PAL, GAL

2.3 复杂PLD结构原理：CPLD、FPGA

2.4 FPGA的结构原理

2.5 大规模PLD产品概述

2.6 硬件测试

2.7 CPLD/FPGA的编程与配置

EDA Lab

2.1 PLD概述

- 数字电路系统都是由基本门构成的。
- 由基本门可构成两类数字电路：组合电路、时序电路
- 任何组合电路，可以用与门-或门二级电路实现。
- 任何时序电路，可以由组合电路加上存储元件构成。

EDA Lab

2.1 PLD概述

PLD即**乘积项**逻辑可编程结构

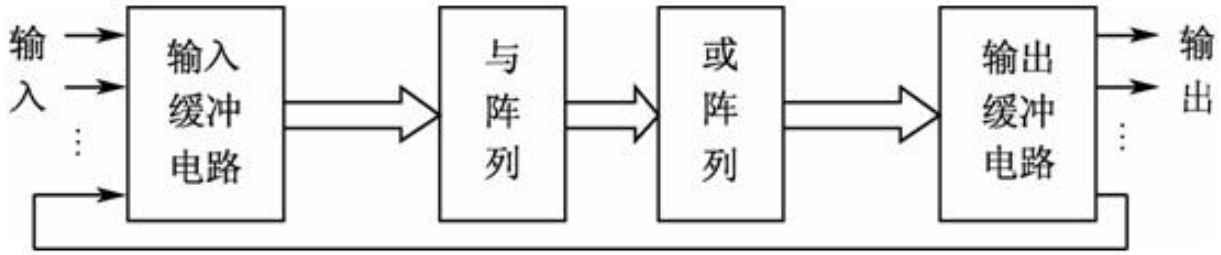
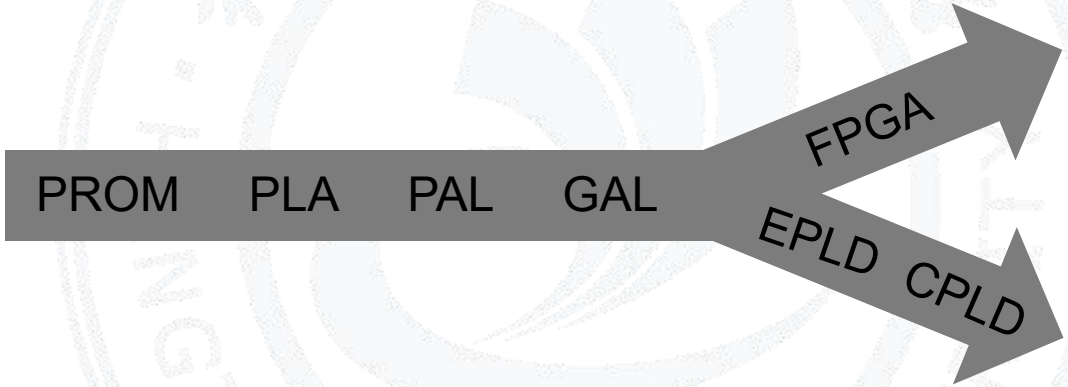


图 2-1　基本 PLD 器件的原理结构图

EDA Lab

2.1 PLD概述

2.1.1 PLD的发展历程



EDA Lab

2.1 PLD概述

2.1.2 PLD的分类

PLD的种类很多，由于历史的原因，PLD的命名各异，主要有三种PLD的分类方式：第一种是按集成度划分，第二种是按结构来划分，第三种是按编程工艺来划分。

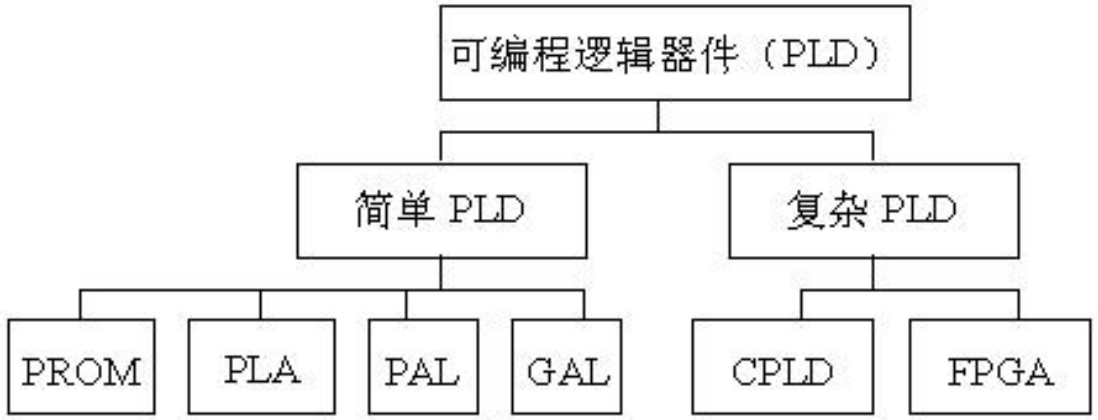


图 2-2　PLD 按集成度分类

2.2 简单PLD结构原理

2.2.1 逻辑元件符号表示

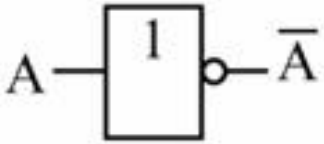
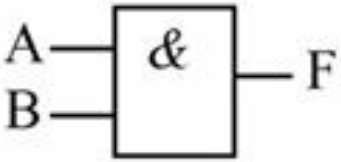
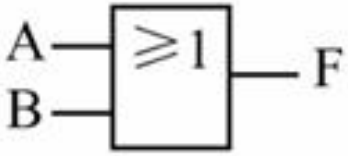
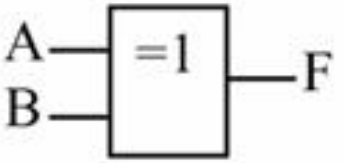
	非门	与门	或门	异或门
IEEE 1991 版 标准逻辑符号				
IEEE 1984 版 标准逻辑符号				
逻辑表达式	$\overline{A}$=NOT A	F=A • B	F=A+B	F=A⊕B

图 2-3　两种不同版本的国际标准逻辑门符号对照表

EDA Lab

2.2 简单PLD结构原理

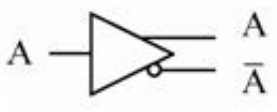


图 2-4　PLD 的互补缓冲器

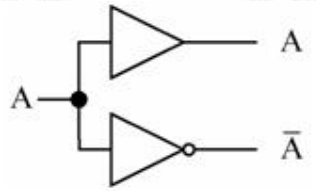


图 2-5　PLD 的互补输入



图 2-8　阵列线连接表示



图 2-6　PLD 中与阵列的表示



图 2-7　PLD 中或阵列的表示

在目前流行的EDA软件中，原理图中的逻辑符号也都使用ANSI/IEEE-1991的逻辑符号。

2.2 简单PLD结构原理

2.2.2 PROM结构原理

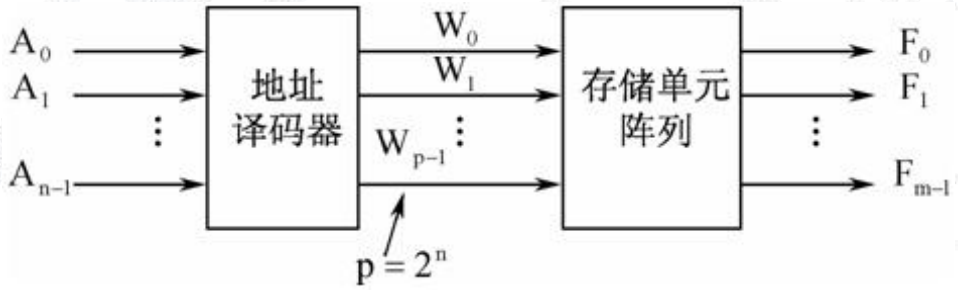


图 2-9 PROM 基本结构

一个PROM器件，主要由地址译码部分、PROM存储单元阵列、以及输入输出缓冲部分组成。

2.2 简单PLD结构原理

PROM的缺点

- 输入变量的增加会引起存储容量的增加，多输入变量的组合电路函数不适合用单个PROM来编程表达。

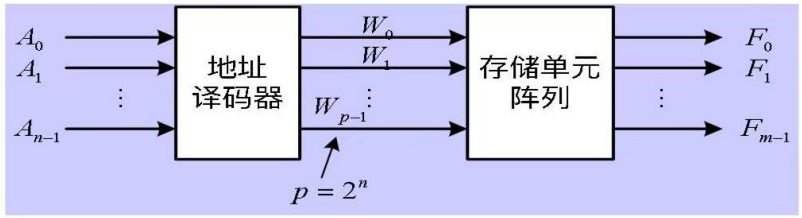
- 当输入变量增多时，PROM存储单元的利用效率大大降低。

EDA Lab

2.2 简单PLD结构原理

PROM

图 PROM基本结构：

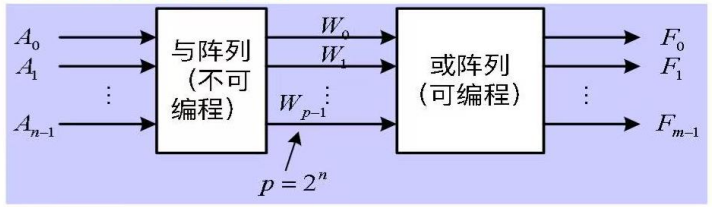


其逻辑函数是：

$$W_0 = \overline{A}_{n-1} \cdots \overline{A}_1 \overline{A}_0$$
$$W_1 = \overline{A}_{n-1} \cdots \overline{A}_1 A_0$$
$$\cdots$$
$$W_{2^n-1} = A_{n-1} \cdots A_1 A_0$$

PROM

图 PROM的逻辑阵列结构



逻辑函数表示：

$$F_0 = M_{p-1,0}W_{p-1} + \cdots + M_{1,0}W_1 + M_{0,0}W_0$$
$$F_1 = M_{p-1,1}W_{p-1} + \cdots + M_{1,1}W_1 + M_{0,1}W_0$$
$$\vdots$$
$$F_{m-1} = M_{p-1,m-1}W_{p-1} + \cdots + M_{1,m-1}W_1 + M_{0,m-1}W_0$$

PROM

图 PROM表达的PLD图阵列

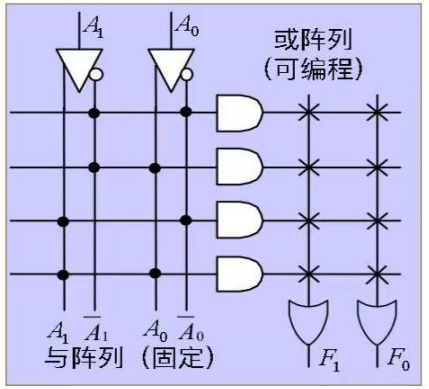
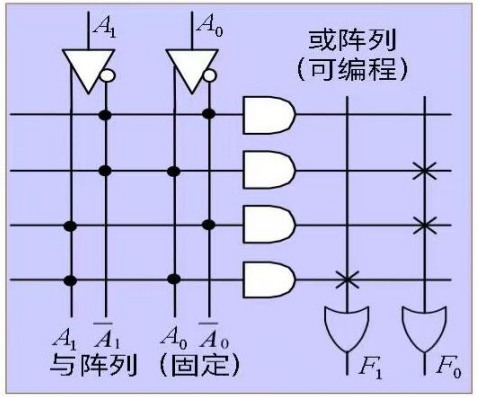


图 用PROM完成半加器逻辑阵列



$$F0 = A0\overline{A1} + \overline{A0}A1$$
$$F1 = A1A0$$

2.2 简单PLD结构原理

2.2.3 PLA结构原理

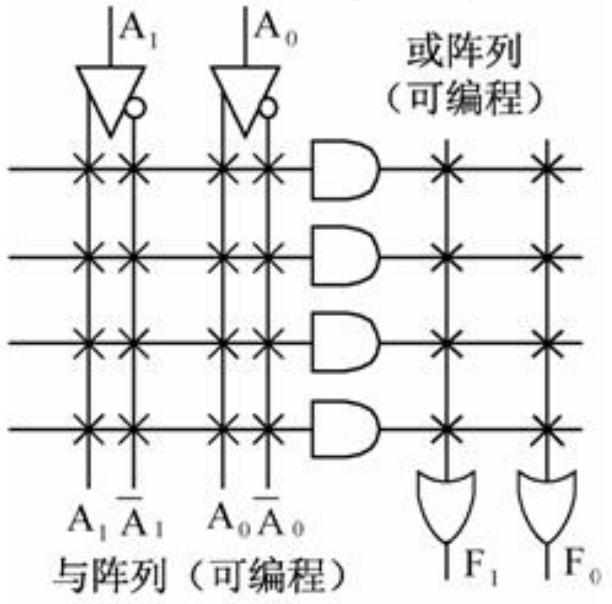


图 2-13　PLA 逻辑阵列示意图

任何组合函数都可以采用PLA来实现，但在实现时，由于与阵列不采用全译码的方式，标准的与或表达式已不适用。

因此需要把逻辑函数化成最简的与或表达式，然后用可编程的与阵列构成与项，用可编程的或阵列构成与项的或运算。

在有多个输出时，要尽量利用公共的与项，以提高阵列的利用率。

2.2 简单PLD结构原理

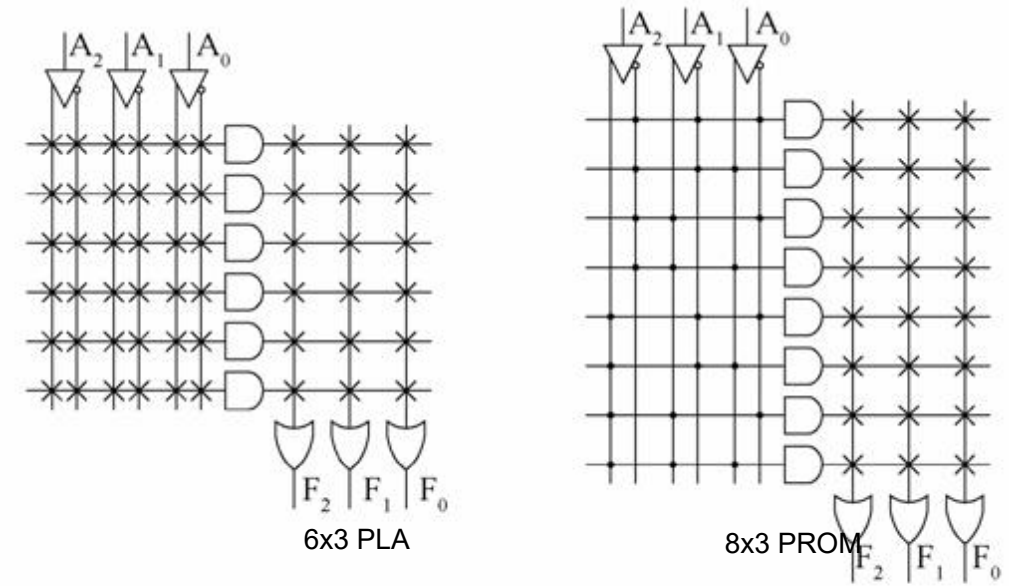


图 2-14　PLA 与 PROM 的比较

优点

- 大大缓解了随输入变量的增加，导致规模迅速增加的问题。

缺点

- 会使编程后器件的运行速度下降。

2.2 简单PLD结构原理

2.2.4 PAL结构原理

PAL的结构与PLA相似，也包含与阵列、或阵列，但是或阵列是固定的，只有与阵列可编程。PAL的结构如图2-15所示，由于PAL的或阵列是固定的，可用图2-16来表示。

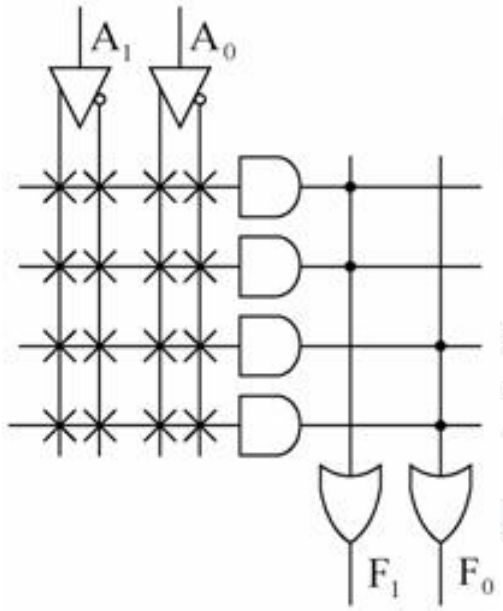


图 2-15　PAL 结构

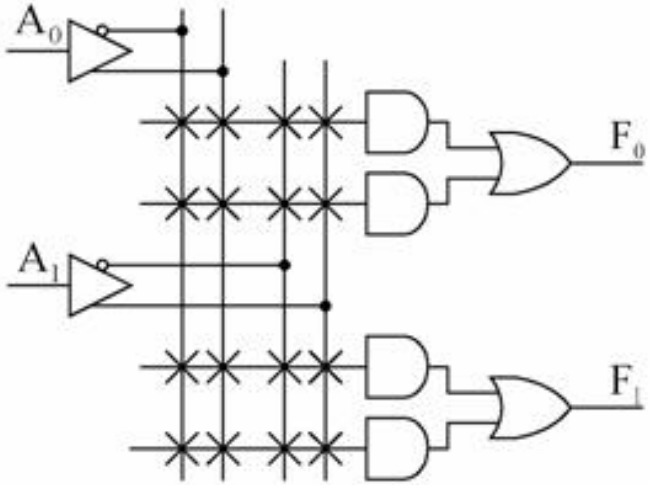


图 2-16　PAL 的常用表示

2.2 简单PLD结构原理

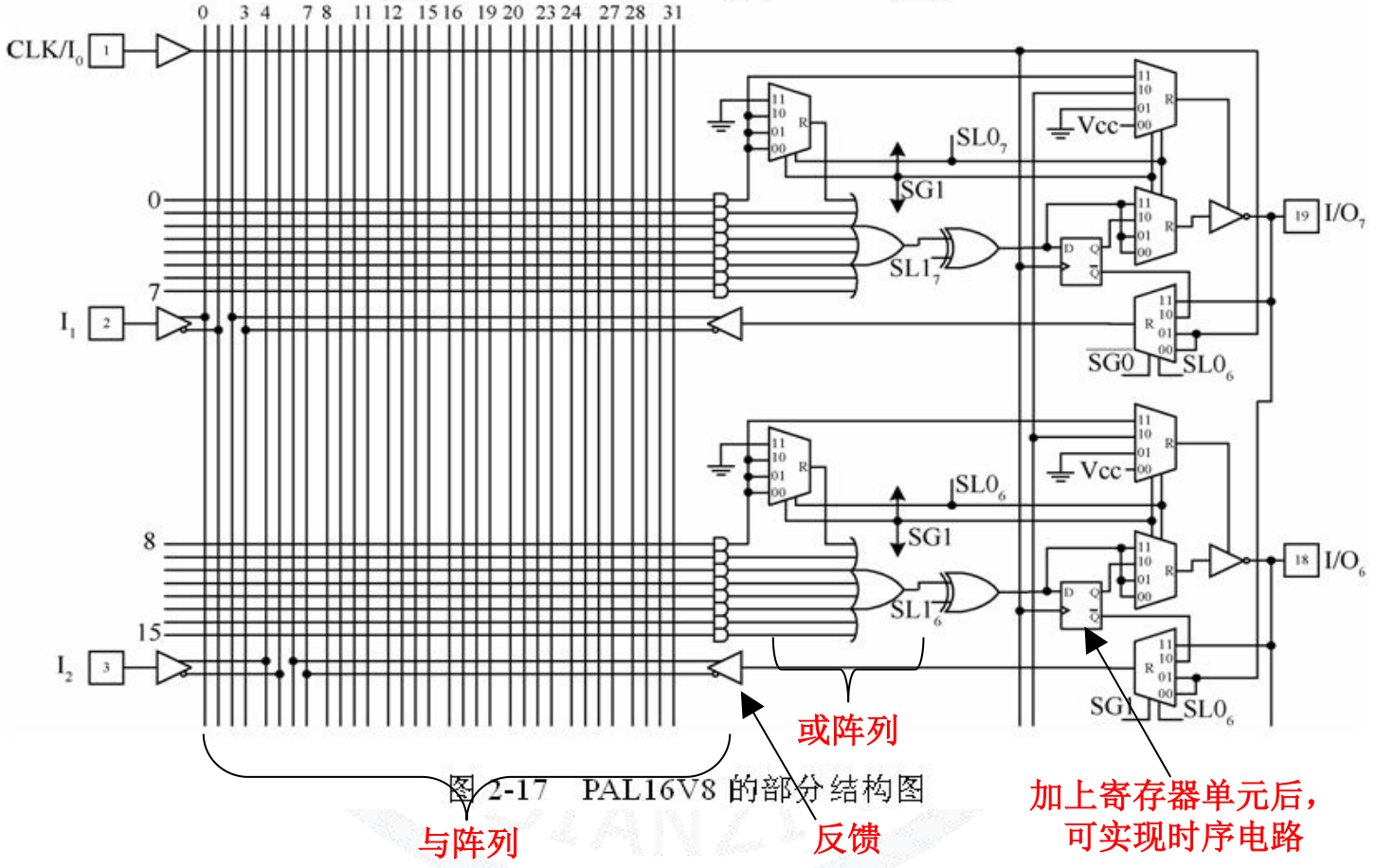


图 2-17　PAL16V8 的部分结构图

2.2 简单PLD结构原理

PAL的缺点

- PAL一种结构方式对应一种PAL器件，应用设计者在设计不同功能的电路时，要采用不同的PAL器件。

- PAL一般采用熔丝工艺生产，一次可编程，修改不方便。

EDA Lab

2.2 简单PLD结构原理



2.2.5 GAL结构原理

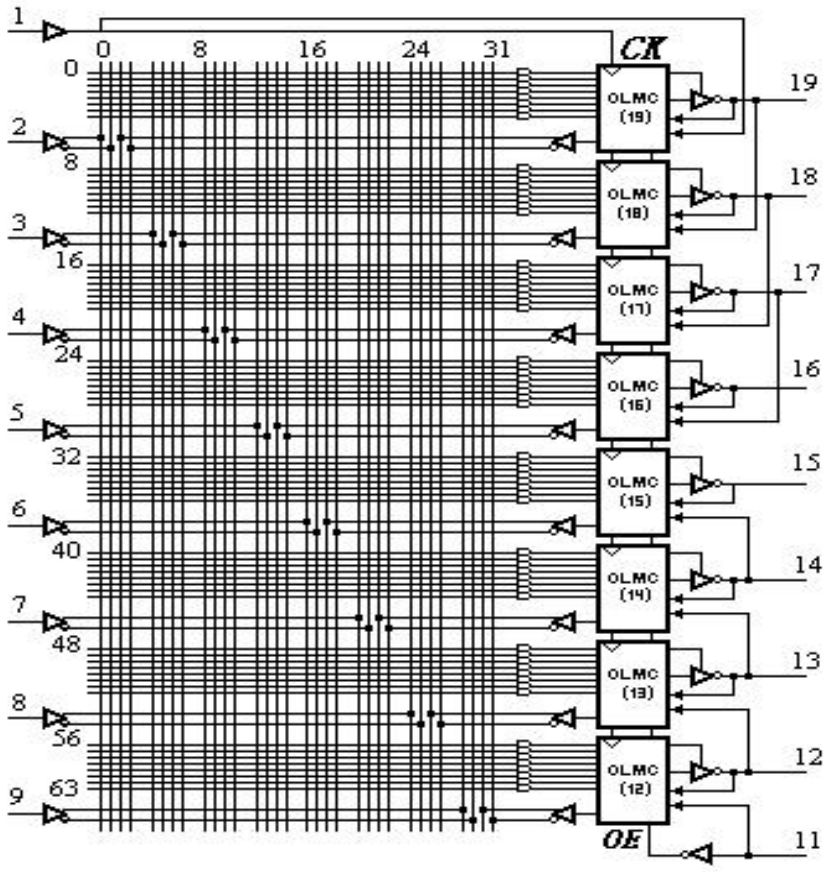
*Lattice*在PAL基础上设计了GAL

- 具有电可擦除重复编程的特点
- 沿用PAL的与阵列可编程、或阵列固定的结构
- 对PAL的I/O结构进行较大的改进，在输出部分增加了输出逻辑宏单元OLMC。

EDA Lab

2.2 简单PLD结构原理

GAL的OLMC中含有四个多路选择器，通过不同的选择方式可以产生多种输出结构，分别属于三种模式，一旦确定了某种模式，所有的OLMC都将工作在同一种模式下。



GAL16V8

2.2 简单PLD结构原理

GAL有三种模式：寄存器模式、复合模式、简单模式。

（1）寄存器模式 在寄存器模式下，OLMC有如下两种输出结构

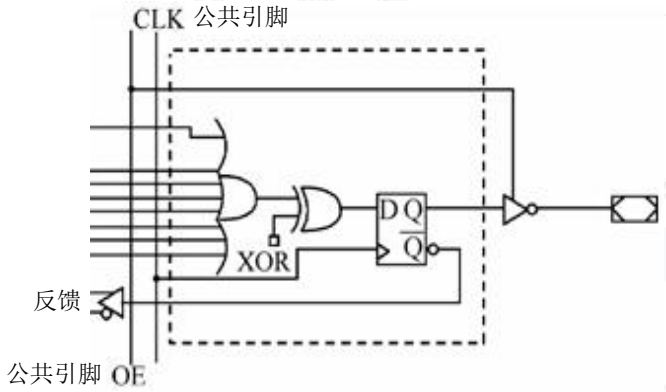


图 2-19 寄存器输出结构

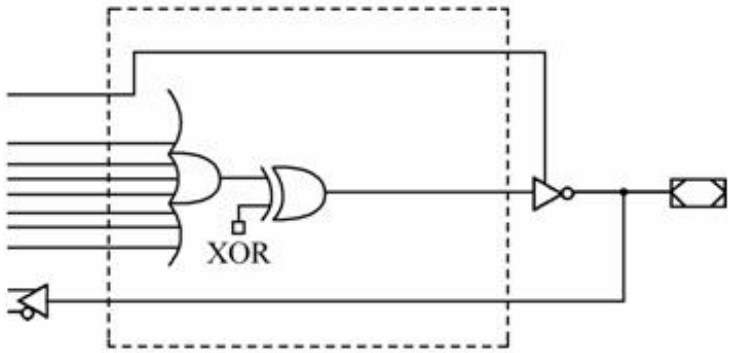


图 2-20 寄存器模式组合双向输出结构

2.2 简单PLD结构原理

（2）复合模式 在复合模式下，OLMC有如下两种输出结构

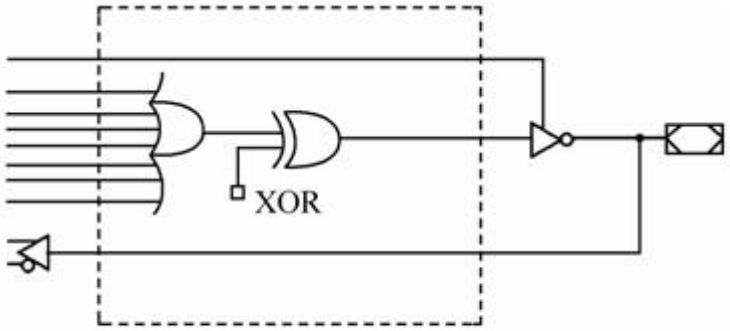


图 2-21 组合输出双向结构

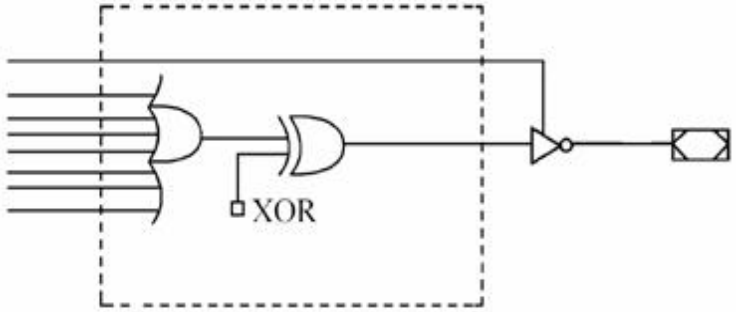


图 2-22 复合型组合输出结构

2.2 简单PLD结构原理

（3）简单模式 在简单模式下，OLMC有如下三种输出结构

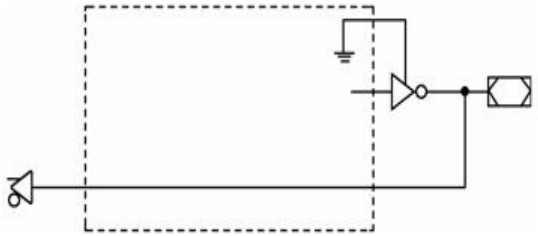


图 2-23 反馈输入结构

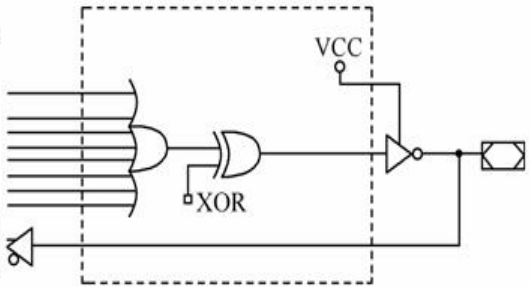


图 2-24 输出反馈结构

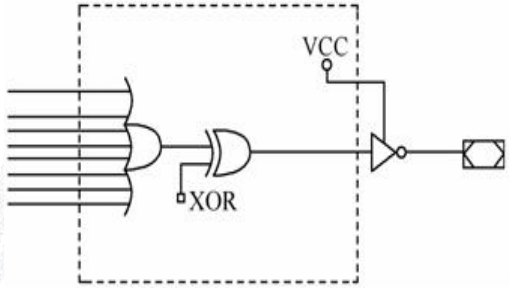


图 2-25 简单模式输出结构

2.3 CPLD的结构原理

2.3.1 逻辑阵列块LAB

LAB (Logic Array Block): 逻辑阵列块

PIA (Programmable Interconnect Array): 可编程连线阵

一个LAB由16个宏单元的阵列组成。

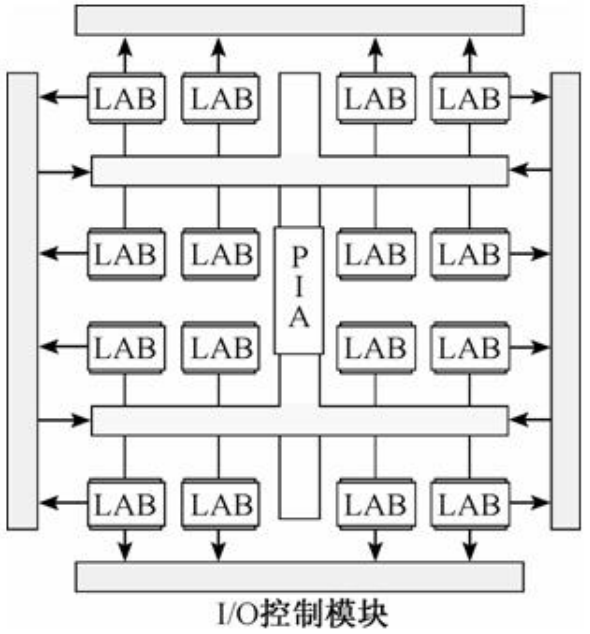


图 2-27　MAX3000 的结构

2.3 CPLD的结构原理

2.3.2 宏单元

宏单元组成：逻辑阵列、乘积项选择矩阵和可编程寄存器。

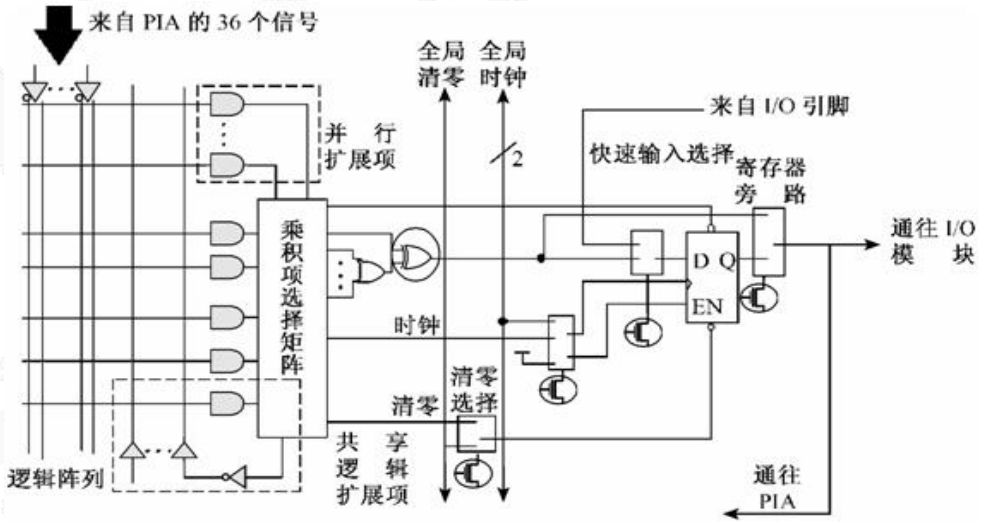


图 2-26 MAX3000A 系列的单个宏单元结构

2.3 CPLD的结构原理

2.3.4 可编程连线阵列PIA

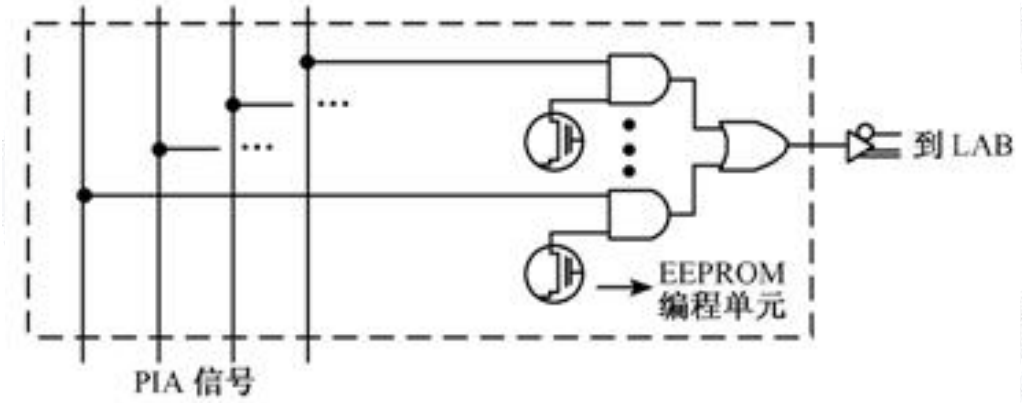


图 2-28 PIA 信号布线到 LAB 的方式

图2-28中通过EEPROM单元控制与门的一个输入端,以选择驱动LAB的PIA信号。
由于MAX3000A 的PIA有固定的延时，因此器件延时性更容易预测。

2.3 CPLD的结构原理

2.3.5 I/O控制块

I/O控制块允许每个I/O引脚单独被配置为输入、输出和双向工作方式。

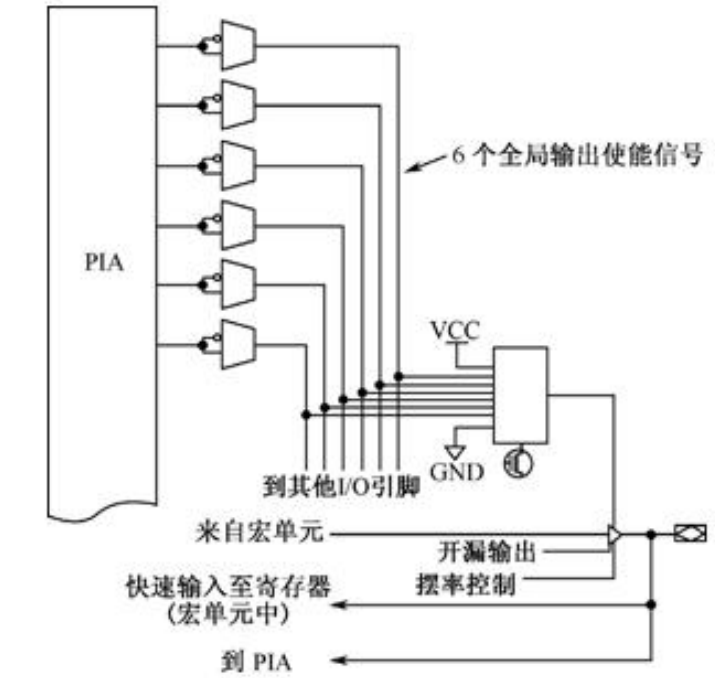


图 2-29 MAX3000A 系列器件的 I/O 控制块

2.4 FPGA的结构原理

2.4.1 查找表逻辑结构

大部分FPGA采用基于SRAM的查找表逻辑形成结构

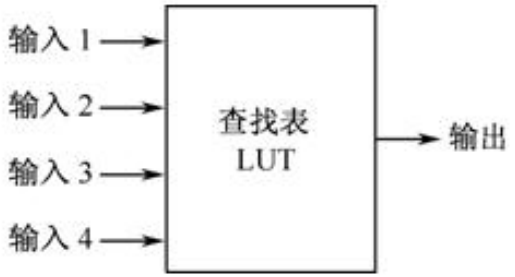


图 2-30　FPGA 查找表单元

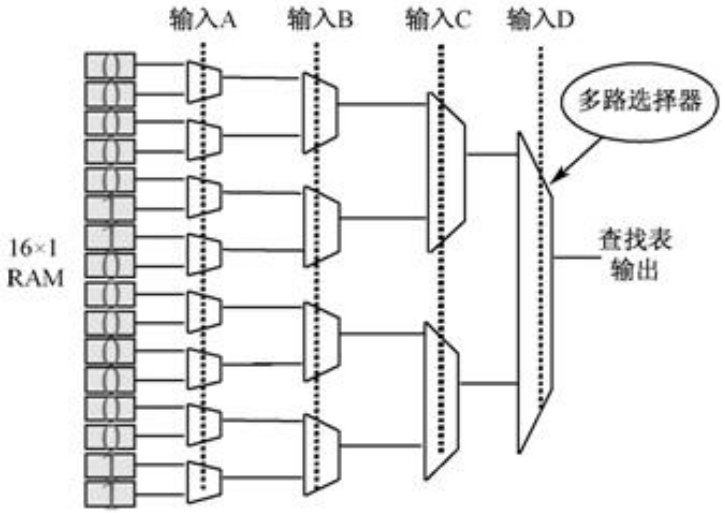


图 2-31　FPGA 查找表单元内部结构

2.4 FPGA的结构原理

2.4.2 Cyclone系列器件的结构原理

- Cyclone 3器件主要由逻辑阵列块LAB、嵌入式存储器块、嵌入式硬件乘法器、I/O单元和嵌入式PLL等模块构成。

- Cyclone 4E器件由最基本的可编程单元LE构成。

EDA Lab

2.4 FPGA的结构原理

LE主要包括：

- 一个4输入LUT；
- 进位链逻辑；
- 寄存器链逻辑；
- 一个可编程寄存器

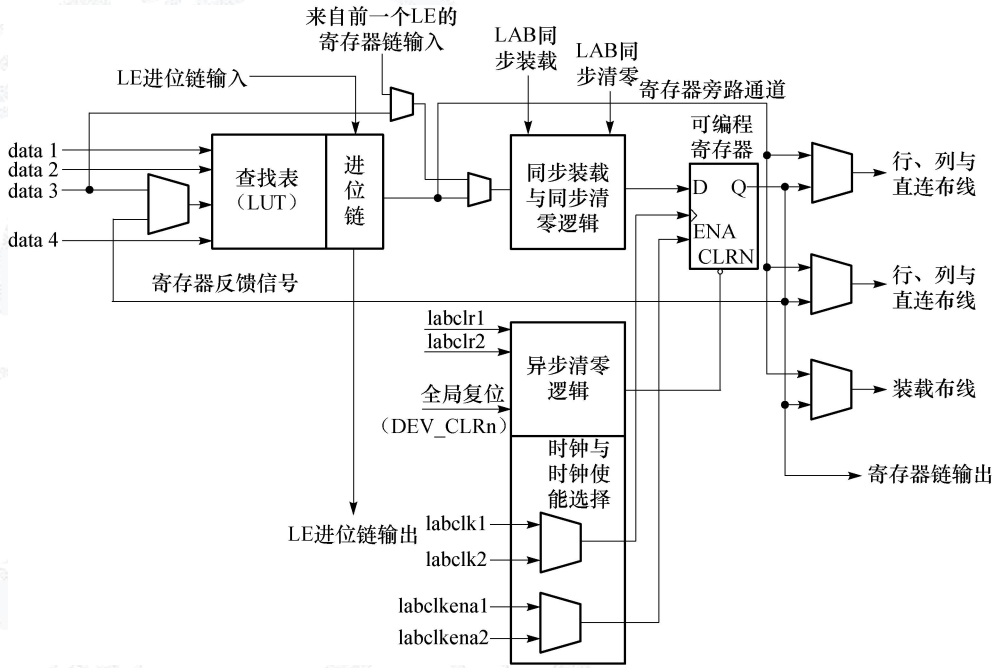


图2-32 Cyclone 4E系列FPGA的LE内部结构

2.4 FPGA的结构原理

Cyclone III LE可以工作在普通模式和算数模式

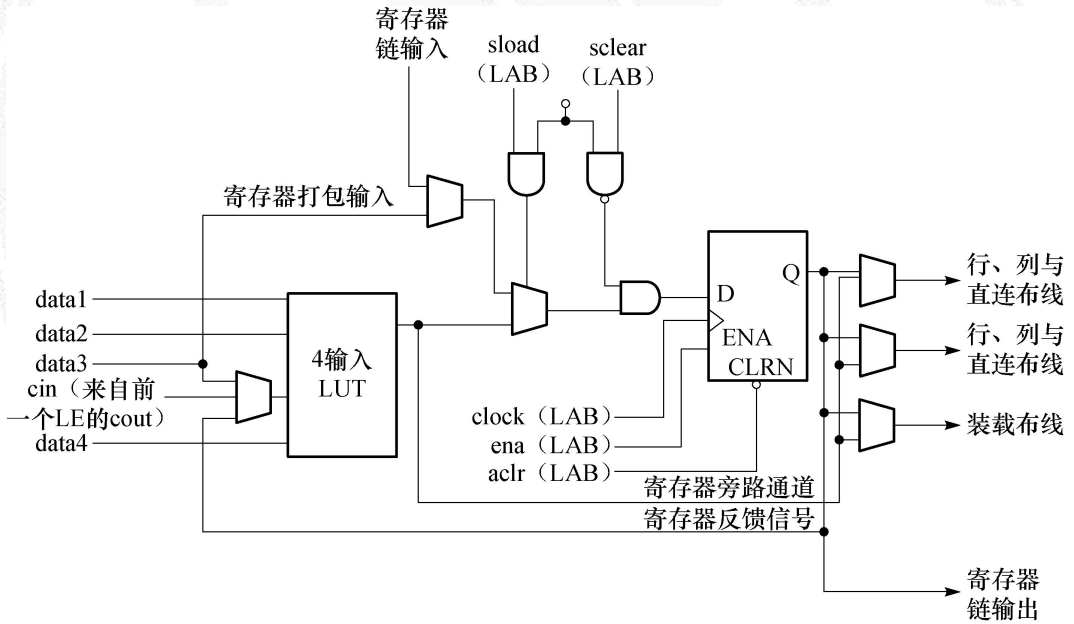


图2-33 Cyclone 4E系列器件的LE普通模式

2.4 FPGA的结构原理

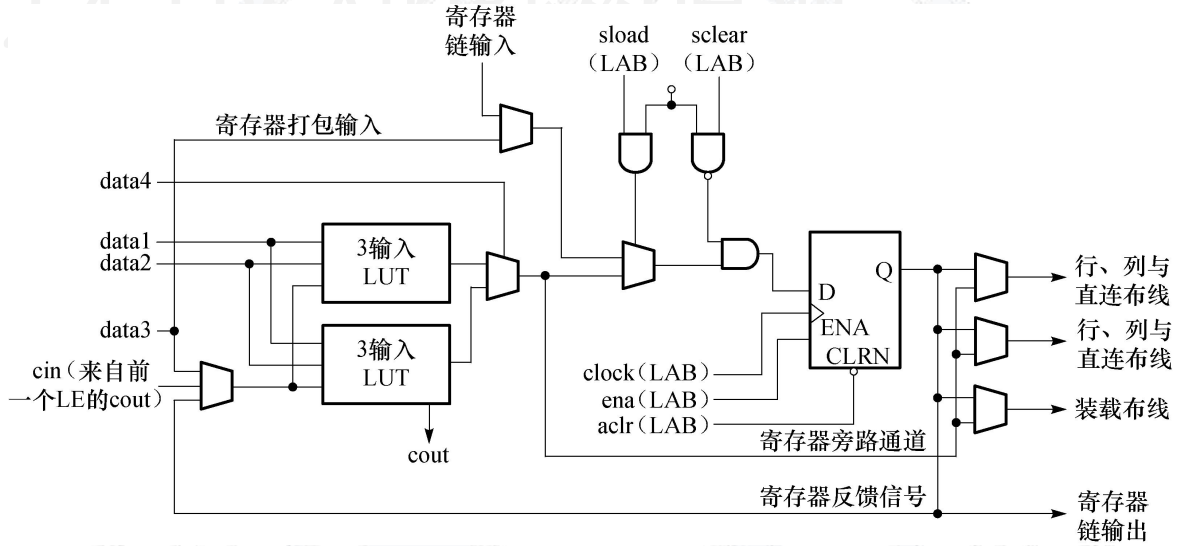


图2-34 Cyclone 4E系列器件的LE算术模式

算术模式下单个LE内有两个3输入LUT，可被配置为一位全加器和基本进位链结构，可更好的实现加法器、计数器、累加器和比较器

2.4 FPGA的结构原理

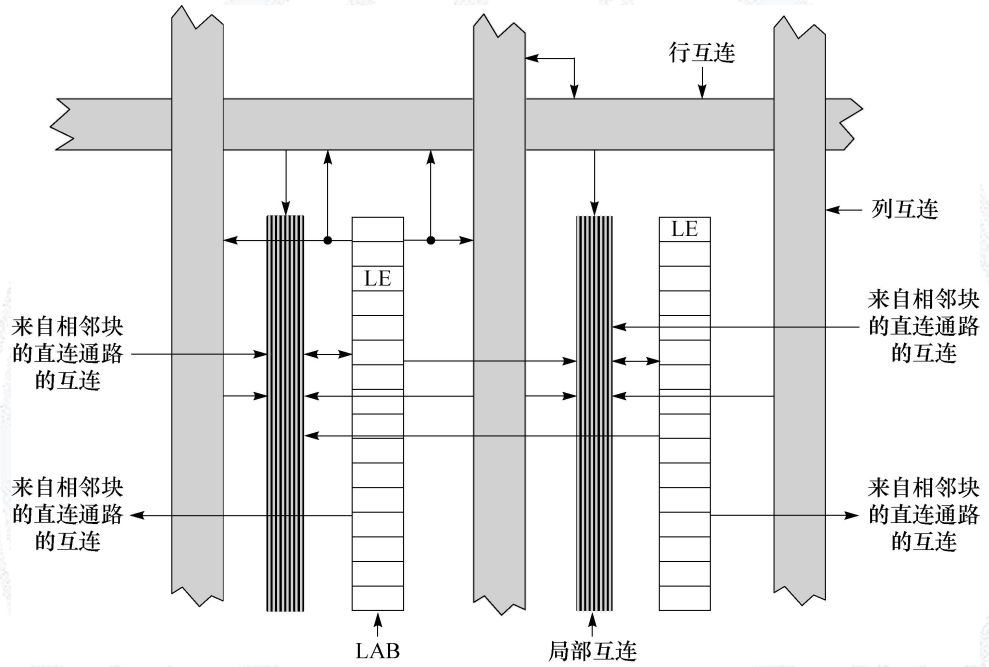


图2-35 Cyclone 4E系列器件的LAB结构图

Cyclone4E系列器件中存在大量的LAB，图2-35所示的结构图中多个LE排列起来构成LAB，多个LAB排列起来成为LAB 阵列，构成了Cyclone 4E系列FPGA器件丰富的逻辑编程资源。

2.4 FPGA的结构原理

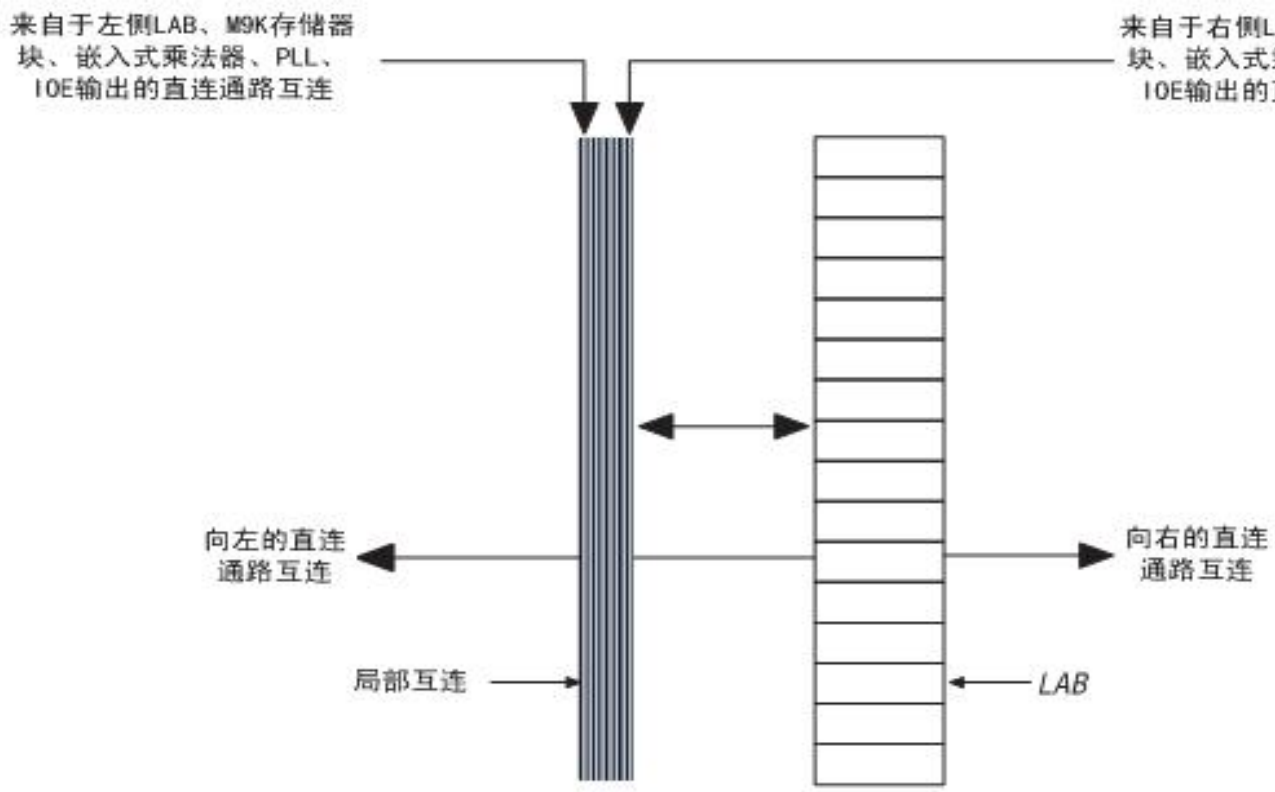


图 2-36 LAB 阵列间互连

在cyclone 4E系列FPGA器件中的嵌入式存储器 可以通过多种连线与可编程资源实现连接，这大大增强了FPGA的性能，扩大了FPGA的应用范围。

2.4 FPGA的结构原理

在数字逻辑的设计中，时钟、复位信号往往需要同步作用于系统中的每个时序逻辑单元，因此在Cyclone III中设置了全局控制信号。

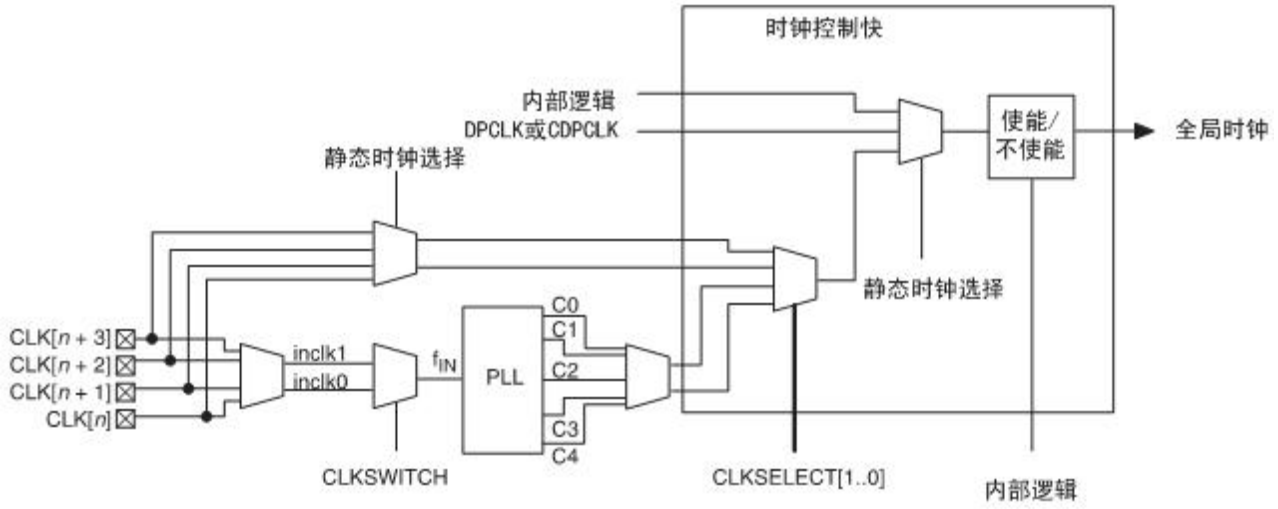


图 2-37　时钟网络的时钟控制

2.5 大规模PLD产品概述



AMD

紫光同创 PANGOMICRO

altera™

LOGIC

LATTICE SEMICONDUCTOR

GOWIN高云 智慧逻辑 定制未来

易灵思 ELITESTEK

Microsemi | a MICROCHIP company



2.5 大规模PLD产品概述

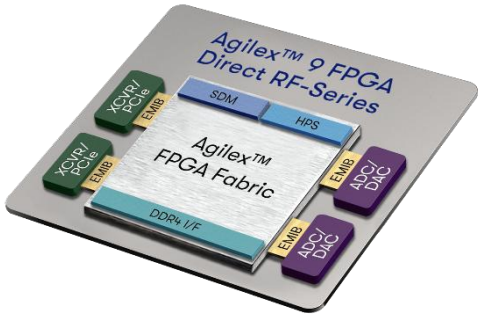
1. Altera(Intel PSG)

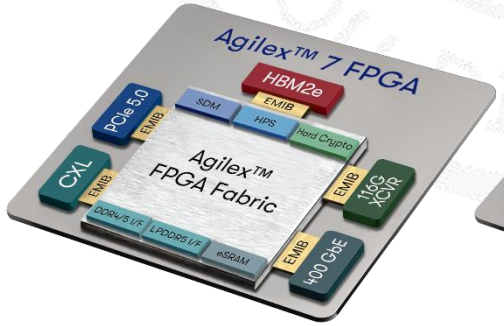
- FPGA/SoC FPGA系列
  - Agilex 9/7/5/3
  - Stratix 10 GX/SX/TX/DX/AX
  - Arria 10、Clone 10 GX
  - Cyclone 10 LP
- MAX 10

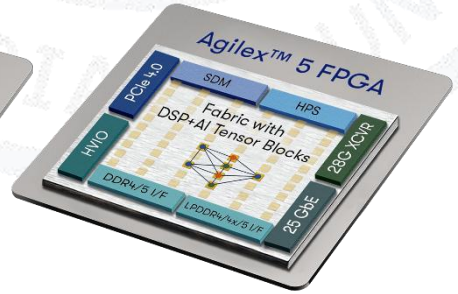


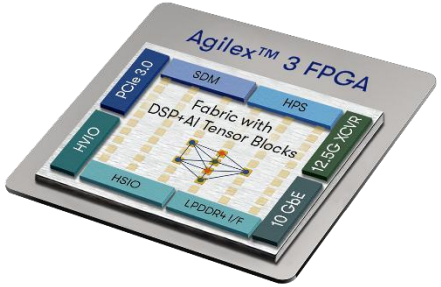












EDA Lab

2.5 大规模PLD产品概述

2. AMD-Xilinx

- FPGA的发明者
- FPGA系列
  - Virtex UltraScale+/Virtix 7
  - Kintex UltraScale+/Kintex 7
  - Artix 7/Artix UltraScale+
  - Spartan 7
- CPLD系列: CoolRunner II
- FPGA SoC： RFSoC / Zynq UltraScale+/ Zynq 700











2.5 大规模PLD产品概述

3. Lattice

- CPLD、ISP技术的发明者
- GAL器件最早由Lattice公司生产
- FPGA系列：
  - MachXO5-NX/4/3/2/ Mach-NX
  - Avant-X/G/E /Certus-N2 // CertusPro-NX
  - iCE40 UltraPlus



HANGZHOU DIANZI UNIVERSITY

EDA Lab

2.5 大规模PLD产品概述



4. MicroChip(原Microsemi/**Actel**)

- 反熔丝（一次性烧写）PLD的领导者
- 在军品和宇航级上有较大优势
- 开发工具有Designer，Libero2.2

Microsemi a Microchip company

Actel POWER MATTERS

IGLOO With Flash Freeze

ProASIC 3L

FUSION

HANGZHOU DIANZI UNIVERSITY 1956

EDA Lab

2.5 大规模PLD产品概述

常见国产FPGA器件系列

- 紫光共创
  - PG2L系列、PGL系列
- 安路
  - EG4系列、PH1P系列、DR1系列
- 高云
  - GW2A系列、GW5A系列

紫光同创 PANGOMICRO

ALOGIC

GOWIN高云 智慧逻辑 定制未来

HANGZHOU DIANZI UNIVERSITY 1956

2.6 硬件测试

2.6.1 内部逻辑测试

- 原理是把ASIC中关键逻辑部分的普通寄存器用测试扫描寄存器来代替，在测试中可以动态地测试、分析、设计其中寄存器所处的状态。
- 有的FPGA厂商，在可编程逻辑器件中可动态载入某种逻辑功能模块，与EDA软件配合提供嵌入式逻辑分析仪。

EDA Lab

2.6.2 JTAG边界扫描

器件的边界扫描单元能够从逻辑跟踪引脚信号

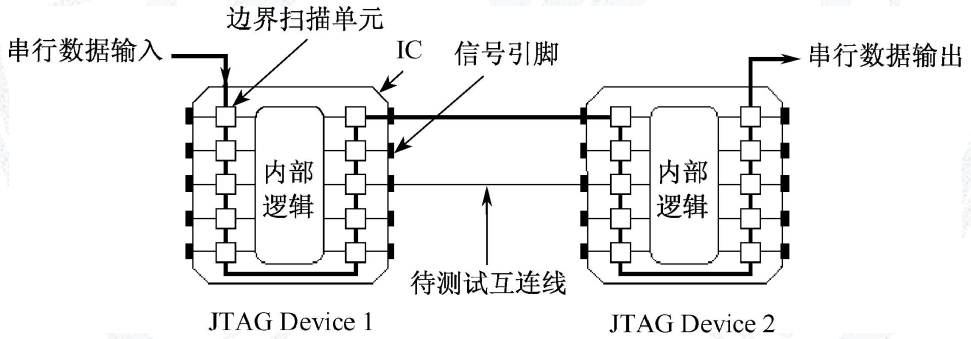


图2-38 边界扫描电路结构图

2.6 硬件测试

当器件工作在JTAG BST模式时，使用四个I/O引脚和一个可选引脚TRST作为JTAG引脚。

表2-1 边界扫描I/O引脚功能

引脚	描述	功能
TDI	测试数据输入	测试指令和编程数据的串行输入引脚，数据在TCK的上升沿移入
TDO	测试数据输出	测试指令和编程数据的串行输出引脚，数据在TCK的下降沿移出。数据未被移出时，该引脚处于高阻态
TMS	测试模式选择	控制信号输入引脚，负责TAP控制器的转换。TMS必须在TCK的上升沿到来之前稳定
TCK	测试时钟输入	时钟输入到BST电路，一些操作发生在上升沿，另一些操作发生在下降沿

2.6 硬件测试

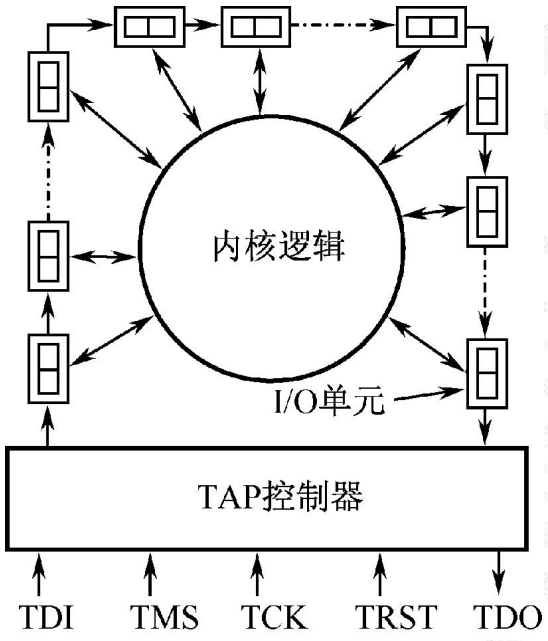
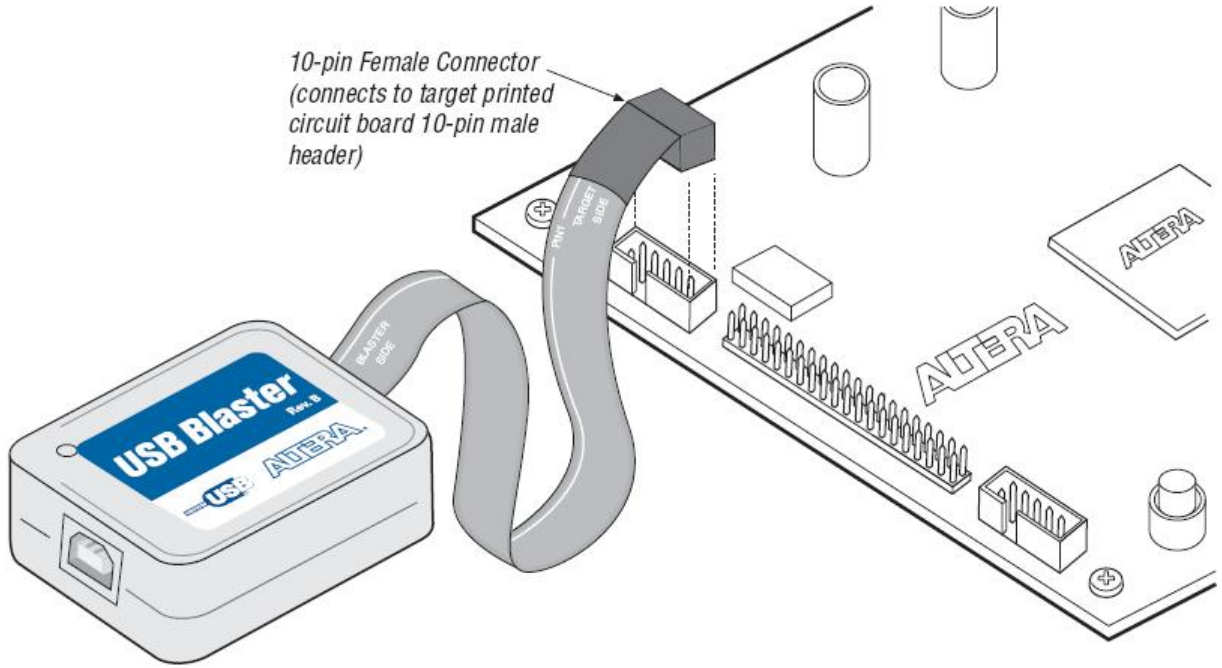


图2-39 数据移位方式

TMS、TRST和TCK引脚管理TAP（Test Access Port，测试访问口）控制器的操作。TDI和TDO为数据寄存器提供串行通道。TDI也为指令寄存器提供数据，然后为数据寄存器产生控制逻辑。

边界扫描寄存器是一个大型的串行移位寄存器，它使用TDI作为输入，TDO作为输出。

2.7 CPLD/FPGA的编程与配置



ALTERA's USB Blaster II Program Download Socket

2.7 CPLD/FPGA的编程与配置

2.7.1 CPLD在系统编程

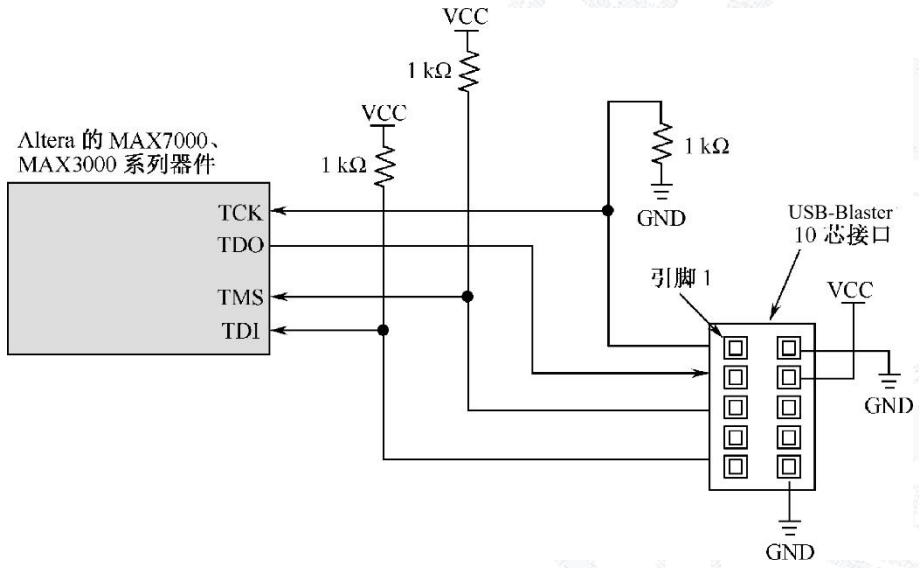
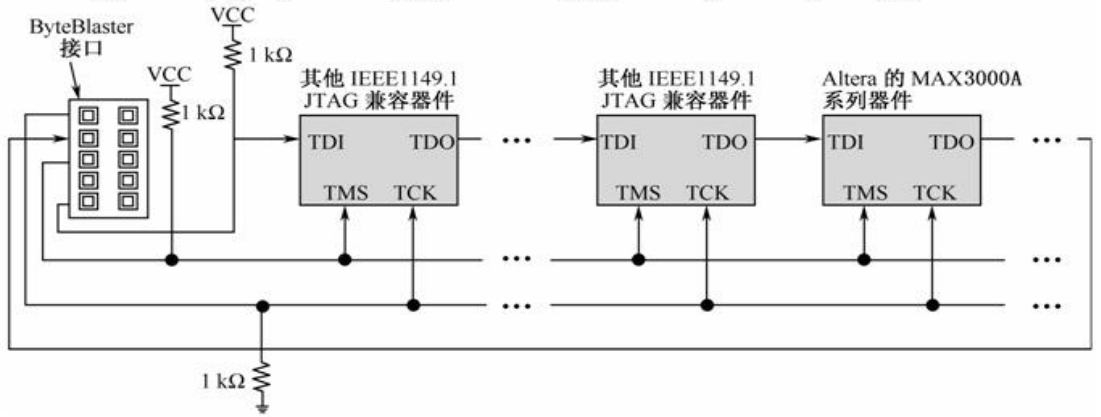


图2-40 CPLD的在系统编程下载连接图

在系统编程(ISP) 就是当系统上电并正常工作时，计算机通过系统中的CPLD拥有的ISP接口直接对其进行编程。

2.7 CPLD/FPGA的编程与配置

用JTAG对多个器件进行ISP在系统编程



第四版 图 2-49 多 CPLD 芯片 ISP 编程连接方式

- 在系统板上的多个JTAG器件的JTAG口可以连接起来，形成一条JTAG链。
- 对于多个支持JTAG接口ISP编程的CPLD器件，可以使用JTAG链进行编程，当然也可以进行测试。

2.7 CPLD/FPGA的编程与配置

2.7.2 FPGA配置方式

在线可重配置。FPGA基于易失性SRAM LUT的结构使之需要在上电后必须进行一次配置。

通过PC的USB接口使用USB-Blaste实现FPGA配置。

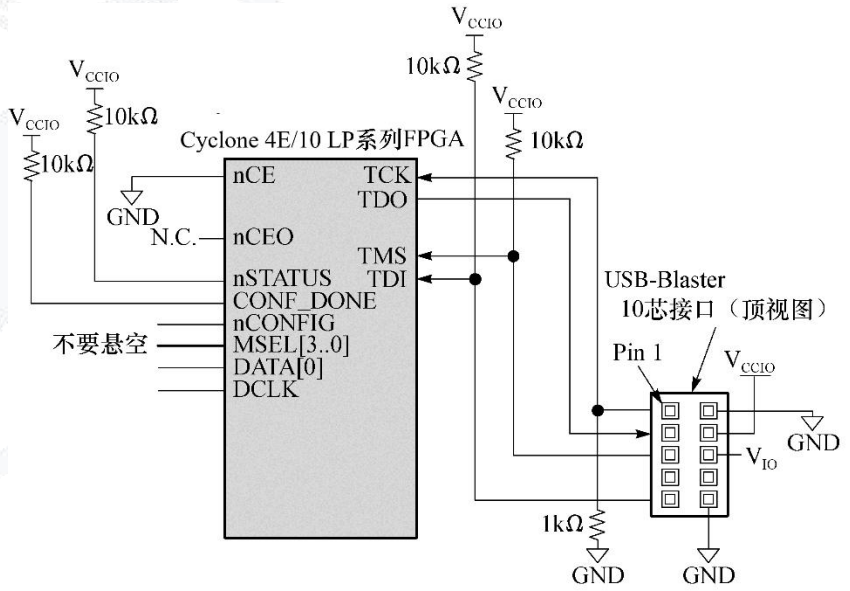


图2-41 JTAG在线配置FPGA的电路（此图同样适用于Cyclone 4E和Cyclone 10LP等）

2.7 CPLD/FPGA的编程与配置

2.7.3 FPGA专用配置器件

自动加载配置对于FPGA应用来说是必须的。

比如用专用配置器件配置、EPROM配置、单片机控制配置、CPLD控制配置、Flash ROM配置等。

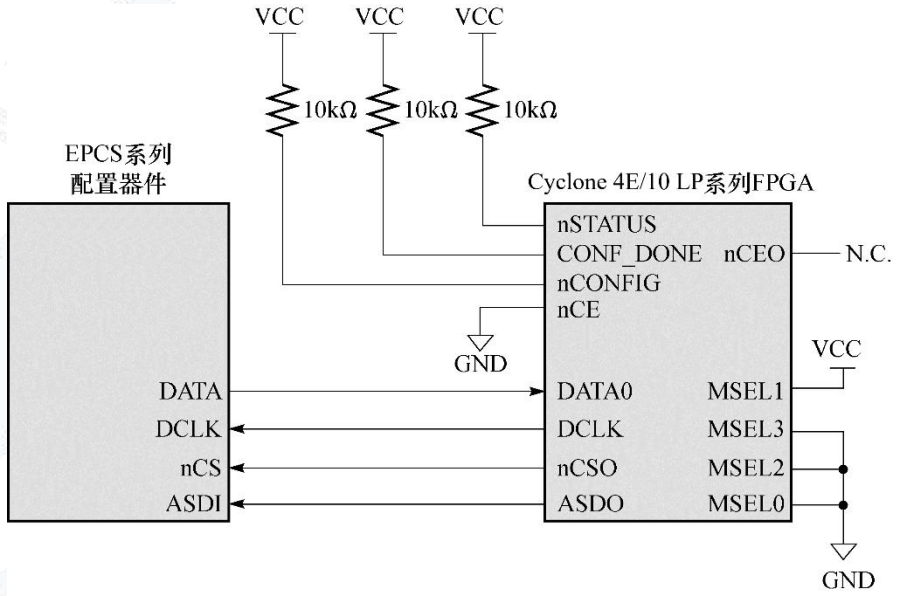


图2-42 EPCS系列器件配置FPGA的电路原理图

专用配置器件通常是串行的PROM，EPCS系列配置器件本身的编程通过AS（Active Serial主动串行）直接完成或JTAG口间接完成。

2.7 CPLD/FPGA的编程与配置

2.7.4 CPLD配置FPGA

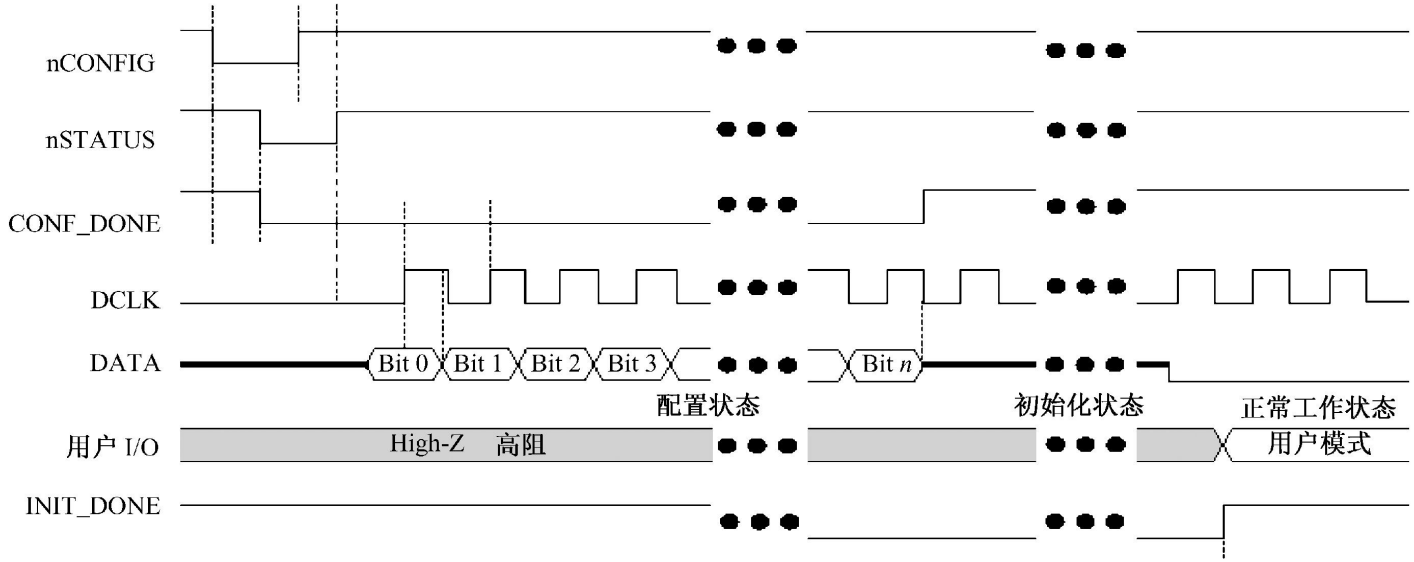


图2-43 FPGA的PS模式配置时序图

PS模式可利用PC通过USB-Blaster对Altera器件应用在线重构，这在FPGA的设计调试时是经常使用的。

2.7 CPLD/FPGA的编程与配置

2.7.4 CPLD配置FPGA

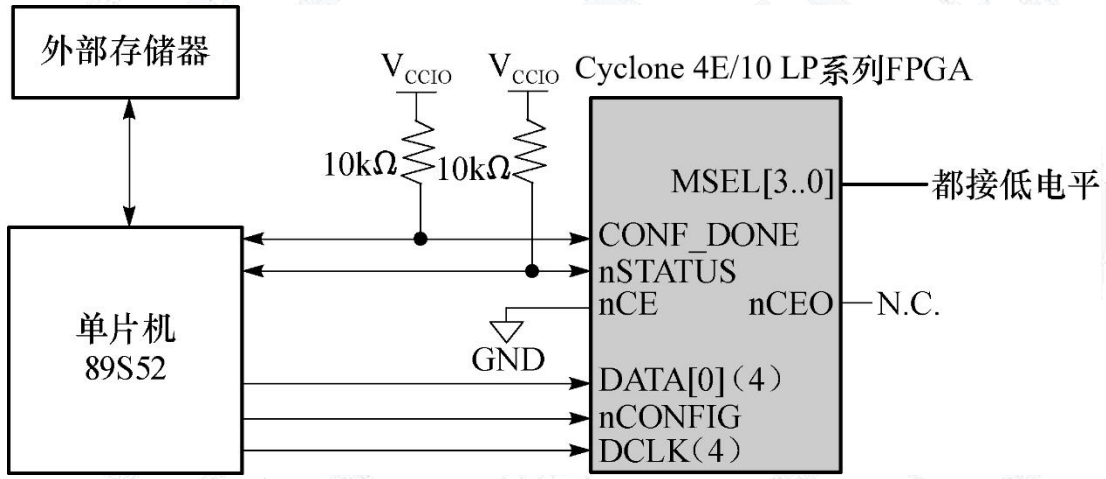


图2-44 用单片机89S52进行配置

利用单片机或CPLD对FPGA进行配置的主要目的是将FPGA系统设计成可随时实现系统硬件重构更新的产品。